

数据手册

单相电机控制 MCU FU5821

峰昭科技(深圳)股份有限公司

目 录

目 录	2
符号意义说明	10
英文缩写及说明	11
1 系统介绍	13
1.1 特性	13
1.2 应用场景	14
1.3 概述	14
1.4 系统框图	15
1.4.1 FU5821T 功能框图	15
1.4.2 FU5821Q 功能框图	16
1.5 Memory 空间	17
1.5.1 Program Memory	17
1.5.2 Data Memory	17
1.5.3 SFR	18
1.5.4 XSFR	19
2 引脚定义	21
2.1 FU5821T TSSOP16 引脚列表	21
2.2 FU5821T TSSOP16 引脚图	22
2.3 FU5821Q QFN24 引脚列表	23
2.4 FU5821Q QFN24 引脚图	24
3 封装尺寸信息	25
3.1 FU5821T TSSOP16_4.4x5.0	25
3.2 FU5821Q QFN24_4x4	26
4 订购信息	27
5 电气特性	28
5.1 绝对最大额定值	28
5.2 全局电气特性	28
5.3 GPIO 电气特性	29
5.4 Pre-driver IO 电气特性	29
5.5 OSC 电气特性	30
5.6 复位电气特性	30
5.7 LDO 电气特性	30

5.8 封装热阻.....	30
6 复位控制	31
6.1 复位源(RST_SR).....	31
6.2 复位使能.....	31
6.3 外部引脚复位、上电复位.....	31
6.4 低电压保护复位.....	31
6.5 看门狗溢出复位.....	31
6.6 RSTFED 复位	32
6.7 RSTDBG 复位	32
6.8 软复位.....	32
6.9 复位寄存器	32
6.9.1 RST_SR (0xC9).....	32
7 中断	34
7.1 中断简介.....	34
7.2 中断源使能	34
7.3 外部中断.....	34
7.4 中断说明.....	35
7.5 中断寄存器	36
7.5.1 IE (0xA8).....	36
7.5.2 IPO (0xB8).....	36
7.5.3 IP1 (0xC0).....	36
7.5.4 IP2 (0xC8).....	37
7.5.5 IP3 (0xD8)	37
7.5.6 TCON (0x88)	37
8 I²C.....	39
8.1 I ² C 简介.....	39
8.2 I ² C 操作说明	40
8.2.1 主机模式.....	40
8.2.2 从机模式.....	41
8.2.3 I ² C 中断源	41
8.3 I ² C 寄存器	41
8.3.1 I2C_CR (0x4028).....	41
8.3.2 I2C_ID (0x4029).....	42
8.3.3 I2C_DR (0x402A)	42

8.3.4 I2C_SR (0x402B).....	42
9 UART	45
9.1 UART 简介.....	45
9.2 UART 操作说明.....	45
9.2.1 UART 模式 0	45
9.2.2 UART 模式 1	45
9.2.3 UART 模式 2	46
9.2.4 UART 模式 3	46
9.2.5 UART 中断源.....	46
9.3 UART 寄存器	46
9.3.1 UT_CR (0x98).....	46
9.3.2 UT_DR (0x99)	48
9.3.3 UT_BAUD (0x9A, 0x9B).....	48
10 Timer1.....	49
10.1 Timer1 操作说明	49
10.1.1 Timer 计数单元	50
10.1.2 输入滤波.....	55
10.1.3 Timer1 中断.....	55
10.1.4 软切换.....	56
10.1.5 堵转检测.....	57
10.1.6 刹车	58
10.2 Timer1 寄存器.....	58
10.2.1 TIM1_CRO (0xB1)	58
10.2.2 TIM1_CR1 (0xB2)	58
10.2.3 TIM1_CR2 (0xB3)	59
10.2.4 TIM1_CR3 (0xB4)	59
10.2.5 TIM1_CR4 (0xB5)	59
10.2.6 TIM1_CR5 (0xB6)	60
10.2.7 TIM1_CR8 (0xC1)	60
10.2.8 TIM1_CR9 (0xDC).....	60
10.2.9 TIM1_CR10 (0xDD)	61
10.2.10 TIM1_IRE (0xD1)	61
10.2.11 TIM1_SR (0xD4)	62
10.2.12 TIM1_DBR2 (0xBA)	63

10.2.13 TIM1_DBR3 (0xBB)	64
10.2.14 TIM1_DBRB (0xDE)	65
10.2.15 TIM1__BCNTR (0xD2, 0xD3)	66
10.2.16 TIM1__BCOR (0xC2, 0xC3)	66
10.2.17 TIM1__RCNTR (0xBC, 0xBD)	66
10.2.18 TIM1__RARR (0xBE, xBF).....	67
10.2.19 TIM1__SCNTR (0xC4, 0xC5)	67
10.2.20 TIM1__SARR (0xC6, 0xC7).....	67
10.2.21 TIM1__FPWMDDR (0xCC, 0xCD)	67
10.2.22 TIM1__PWMDR (0xCA, 0xCB).....	68
10.2.23 TIM1__RPWMDDR (0xCE, 0xCF)	68
11 Timer2.....	69
11.1 Timer2 操作说明	69
11.1.1 分频器.....	69
11.1.2 TIM2__CNTR 的读写和计数	69
11.1.3 输出模式.....	70
11.1.4 输入信号滤波和边沿检测	71
11.1.5 输入捕获模式.....	72
11.2 Timer2 寄存器.....	73
11.2.1 TIM2_CRO (0xA1)	73
11.2.2 TIM2_CR1 (0xA9)	73
11.2.3 TIM2__CNTR (0xAA, 0xAB)	74
11.2.4 TIM2__DR (0xAC, 0xAD).....	75
11.2.5 TIM2__ARR (0xAE, 0xAF).....	75
12 Timer3.....	76
12.1 Timer3 操作说明	76
12.1.1 分频器.....	76
12.1.2 TIM3__CNTR 的读写和计数	76
12.1.3 输出模式.....	77
12.1.4 输入信号滤波和边沿检测	78
12.1.5 输入捕获模式.....	79
12.2 Timer3 寄存器.....	80
12.2.1 TIM3_CRO (0x9C)	80
12.2.2 TIM3_CR1 (0x9D)	81

12.2.3 TIM3__CNTR (0xA2, 0xA3)	82
12.2.4 TIM3__DR (0xA4, 0xA5)	82
12.2.5 TIM3__ARR (0xA6, 0xA7)	82
13 Timer4.....	83
13.1 Timer4 操作说明	83
13.1.1 分频器.....	83
13.1.2 TIM4__CNTR 的读写和计数	83
13.1.3 输出模式.....	83
13.1.4 输入信号滤波和边沿检测	85
13.1.5 输入捕获模式.....	85
13.2 Timer4 寄存器.....	86
13.2.1 TIM4_CR0 (0x9E).....	86
13.2.2 TIM4_CR1 (0x9F).....	87
13.2.3 TIM4__CNTR (0x92, 0x93).....	88
13.2.4 TIM4__DR (0x94, 0x95)	88
13.2.5 TIM4__ARR (0x96, 0x97).....	89
14 SysTick	90
14.1 SysTick 操作说明	90
14.2 SysTick 寄存器	90
14.2.1 DRV_SR (0xDF)	90
15 Driver	91
15.1 Driver 操作说明	91
15.1.1 Driver 简介.....	91
15.1.2 输出控制模块.....	92
15.2 Driver 寄存器	95
15.2.1 DRV_CR (0xE1)	95
15.2.2 DRV_SR (0xDF)	95
15.2.3 DRV_OUT (0xF8)	96
15.2.4 DRV_ARR (0xE4, 0xE5).....	97
15.2.5 DRV_DR (0xE2, 0xE3).....	97
15.2.6 DRV_DTR (0xE9).....	98
15.2.7 DRV__CNTR (0xE6, 0xE7)	98
16 WDT	99
16.1 WDT 使用注意事项	99

16.2 WDT 操作说明	99
16.3 WDT 寄存器	99
16.3.1 WDT_CR (0x4026)	99
16.3.2 WDT_ARR (0x4027)	99
16.3.3 CCFG1 (0x401E)	100
17 RTC 与时钟校准	101
17.1 RTC 基本功能框图	101
17.2 RTC 操作说明	101
17.3 RTC 寄存器	101
17.3.1 RTC_TM (0x402C, 0x402D)	101
17.3.2 RTC_STA (0x402E)	101
17.4 时钟校准	102
17.4.1 时钟校准简介	102
17.4.2 时钟校准寄存器	102
18 IO	104
18.1 IO 简介	104
18.2 IO 配置	104
18.3 IO 寄存器	105
18.3.1 P0_OE (0xFC)	105
18.3.2 P1_OE (0xFD)	105
18.3.3 P0_AN (0x4031)	105
18.3.4 P1_AN (0x4030)	105
18.3.5 P0_PU (0x4033)	106
18.3.6 P1_PU (0x4034)	106
18.3.7 PH_SEL (0x403C)	107
18.3.8 P0 (0x80)	107
18.3.9 P1 (0x90)	108
19 ADC	109
19.1 ADC 简介	109
19.2 ADC 操作说明	110
19.2.1 输出数据格式	110
19.3 ADC 寄存器	111
19.3.1 ADC_CR (0x4039)	111
19.3.2 ADC_MASK (0x4036, 0x4037)	111

19.3.3 ADC_SCYC (0x4038).....	112
19.3.4 ADC0_DR (0x0100, 0x0101).....	112
19.3.5 ADC1_DR (0x0102, 0x0103).....	113
19.3.6 ADC2_DR (0x0104, 0x0105).....	113
19.3.7 ADC3_DR (0x0106, 0x0107).....	113
19.3.8 ADC4_DR (0x0108, 0x0109).....	114
19.3.9 ADC5_DR (0x010A, 0x10B).....	114
19.3.10 ADC6_DR (0x010C, 0x010D).....	114
19.3.11 ADC7_DR (0x010E, 0x010F).....	115
19.3.12 ADC8_DR (0x0110, 0x0111).....	115
19.3.13 ADC9_DR (0x0112, 0x0113).....	115
19.3.14 ADC10_DR (0x0114, 0x0115).....	116
20 比较器	117
20.1 比较器操作说明.....	117
20.1.1 比较器 CMP0	117
20.1.2 过流比较器 OCP.....	117
20.1.3 限流比较器 LCP.....	118
20.1.4 比较器 Hall_COMP	119
20.2 比较器寄存器.....	119
20.2.1 CMP_CR0 (0xD5).....	119
20.2.2 CMP_CR1 (0xD6).....	120
20.2.3 CMP_CR2 (0xD9).....	120
20.2.4 CMP_CR3 (0xDA)	121
20.2.5 CMP_SR (0xD7)	121
20.2.6 LCP_DR (0x403A)	122
20.2.7 OCP_DR (0x403B)	122
20.2.8 TSD_CR (0x402F).....	123
21 低压检测	123
21.1 低压检测简介	123
21.1.1 低压预警.....	124
21.1.2 低压复位.....	124
21.1.3 欠压保护.....	124
21.1.4 低压检测寄存器.....	124
22 Flash.....	126

22.1 Flash 简介	126
22.2 Flash 操作说明	126
22.3 Flash 寄存器	127
22.3.1 FLA_CR (0x85)	127
22.3.2 FLA_KEY (0x84)	127
23 CRC	129
23.1 CRC 功能框图	129
23.2 CRC16 多项式	129
23.3 CRC16 基本逻辑图	130
23.4 CRC 操作说明	130
23.4.1 计算单个字节的 CRC	130
23.4.2 批量计算 ROM 数据 CRC	130
23.5 CRC 寄存器	132
23.5.1 CRC_CR (0x4022)	132
23.5.2 CRC_DIN (0x4021)	132
23.5.3 CRC_DR (0x4023)	132
23.5.4 CRC_BEG (0x4024)	133
23.5.5 CRC_CNT (0x4025)	133
24 休眠模式	134
24.1 休眠保护简介	134
24.2 休眠保护寄存器	135
24.2.1 PCON (0x87)	135
25 代码保护	136
25.1 代码保护简介	136
25.2 代码保护操作说明	136
26 修改记录	138

符号意义说明

- 寄存器后的[]表示寄存器中的位。例：ABCD[XY]表示ABCD寄存器中的XY位
- 寄存器名中的x表示类似寄存器。例：TIMx_CR0表示TIM3_CR0和TIM4_CR0
- [m:n]表示位范围。例：[3:0]表示从bit3到bit0
- Pm.n表示Portm的第n个端口。例：P0.0表示Port0的0号端口
- 寄存器读写特性表示：
 - R: 只读
 - W: 只写
 - R/W: 可读可写
 - W0: 只可写0
 - W1: 只可写1
- 默认值为 - 时，表示该位为不定值或无效值
- 对读出和写入代表不同意义的寄存器，不可使用RMW指令
- Q格式是一种使用定点数存储浮点数的方式。最高位为符号位，数据低Q值的位数为数字小数部分分配的位数，剩余位数为数字整数部分分配的位数。例：Q12格式，15位为符号位，14 ~ 12位为整数位，11 ~ 0位为分数位。Q12格式数字的真实值为-8 ~ 7.9998(对应0x8000 ~ 0x7FFF)。

英文缩写及说明

ADC: Analog Digital Convertor 模数转换器

BEMF: Back Electromotive Force 反电动势

BLDC: Brushless Direct Current 无刷直流电机

CRC: Cyclic Redundancy Check 循环冗余校验功能

DAC: Digital Analog Convertor 数模转换器

DMA: Direct Memory Access 不经过 CPU 直接与内存交换数据的方式

FG: Frequency Generator 频率发生器

FICE: Fortior Interactive Connectivity Establishment 峰昭专用交互式连接建立

FOC: Field Oriented Control 电机磁场定向控制法, 也称矢量控制法

FOSC: Fast Oscillator 内部快时钟

GPIO: General Purpose Input Output 通用输出输入端口

I²C: Inter Integrated Circuit 一种简单的双向二线制同步串行通信总线

IC: Integrated Circuit 集成电路

IRAM: Internal RAM 内置随机存储器

IDE: Integrated Development Environment 集成开发环境

LDO: Low Dropout Regulator 低压差稳压电源

LIN: Local Interconnect Network 一种低成本的串行通讯网络, 用于实现汽车中的分布式系统

LPF: Low Pass Filter 低通滤波器

LVD: Low Voltage Detection 低电压检测

MDU: Multiplication Division Unit 乘除计算协处理器

ME: Motor Engine 峰昭特有电机驱动协处理器

MSB: Most Significant Bit 最高有效位

MOSFET: Metal Oxide Semiconductor Field Effect Transistor 金属氧化物半导体场效应晶体管

NC: Not Connected 不连接

PGA: Programmable Gain Amplifier 可编程增益放大器

PI/PID: Proportional Integral/Proportional Integral Derivative 比例积分/比例积分微分控制器

PLL: Phase Locked Loop 锁相环

PWM: Pulse Width Modulation 脉冲宽度调制

QEP: Quadrature Encoder Pulse 正交编码器

RAM: Random Access Memory 随机存储器

RMW: Read Modified Write 读-修改-写指令

ROM: Read Only Memory 只读存储器

RSD: Rotating State Detection 顺逆风状态检测
RTC: Real Time Clock 实时时钟
SCL: Serial Clock Line 串行时钟线
SDA: Serial Data Line 串行数据线
SFR: Special Function Register 特殊功能寄存器
SMO: Sliding Mode Observer 滑模观测器
SOSC: Slow Oscillator 低速振荡器，此处特指内部慢时钟
SPI: Serial Peripheral Interface 串行通信接口
SVPWM: Space Vector PWM 空间矢量脉冲宽度调制
TSD: Temperature Sensor Detect 温度传感器检测
UART: Universal Asynchronous Receiver/Transmitter 异步串行通信接口
WDT: Watch Dog Timer 看门狗定时器
XRAM: External RAM 外部随机存储器
XSFR: External SFR 外部特殊功能寄存器

1 系统介绍

1.1 特性

- 电源电压: 5 ~ 28V
- 双核: 8051 内核和 ME
- 指令周期大多为 1 或 2 个系统时钟周期
- 6kB Flash ROM、带 CRC 校验功能、支持程序自烧录和代码保护功能
- 256 bytes IRAM、256 bytes XRAM
- ME: 单相电机控制引擎
- 15 个中断源, 可设为 4 个优先级
- GPIO:
 - FU5821T: 8 个 GPIO
 - FU5821Q: 12 个 GPIO
- 定时器:
 - Timer1: 方波驱动时序控制、支持自动换相、软切换、逐波限流、支持堵转检测
 - Timer2/Timer3/Timer4: PWM 输出、输入 PWM 的占空比和周期检测。Timer3 支持 48MHz 输入模式
 - SysTick 定时器
 - RTC 定时器
- 通信接口:
 - 1 个
 - 1 个 UART, 支持反向输入、反向输出模式、支持单线模式
- 模拟外设:
 - 10 位 ADC, 2 μ s 转换时间, 参考电压为 VDD5
 - ADC 通道数:
 - ◆ FU5821T: 6 通道
 - ◆ FU5821Q: 10 通道
 - ◆ 内置 VCC 电压采样通道
 - 3 组模拟比较器组(5 个比较器)
 - DAC:
 - ◆ 1 路 6 位, 用于限流保护
 - ◆ 1 路 4 位, 用于过流保护
- 驱动类型: 2P2N Pre-driver 输出

- BLDC 控制支持自动换相、逐波限流，支持 Hall、BEMF 检测
- 振荡器:
 - 内置24MHz高速RC振荡器
 - 内置32.8kHz低速RC振荡器
- WDT
- LVD
- TSD
- 两线制 FICE 协议提供在线仿真功能

1.2 应用场景

有 Hall 单相直流无刷电机。

1.3 概述

FU5821 是一款集成电机控制引擎(ME)和 8051 内核的直流无刷单相电机驱动专用芯片，ME 集成 Smart Engine 模块，可独立完成高速电机运算；8051 内核用于参数配置和日常事务处理，双核并行工作实现各种高性能电机控制。其中 8051 内核大部分指令周期为 1T 或 2T，芯片内部集成有高速比较器、Pre-driver、ADC、CRC、I²C、UART、多种 Timer、PWM 等功能，内置高压 LDO，适用于有 Hall 单相 BLDC 电机的方波驱动控制。

FU5821 有不同型号：FU5821T(TSSOP16)、FU5821Q(QFN24)。

1.4 系统框图

1.4.1 FU5821T 功能框图

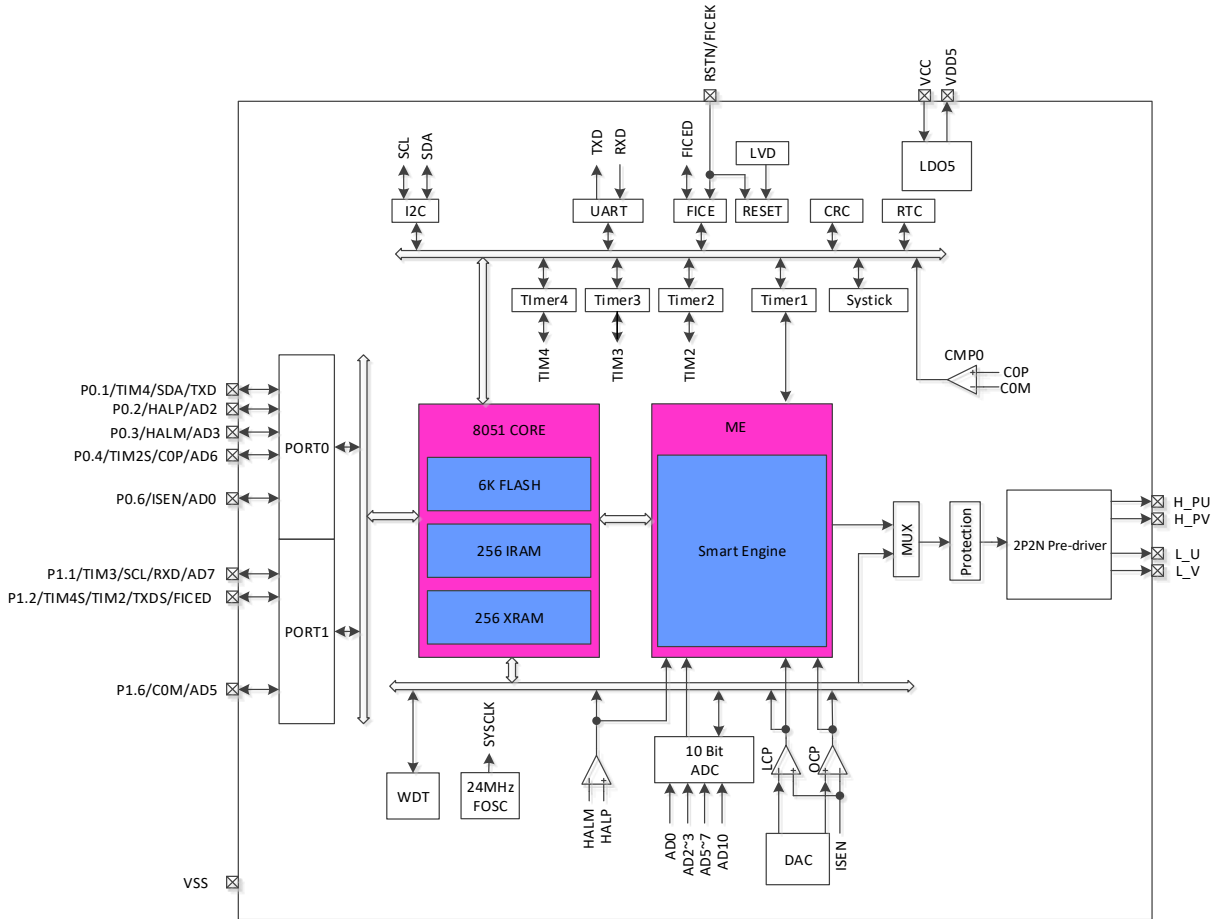


图 1-1 FU5821T 功能框图

1.4.2 FU5821Q 功能框图

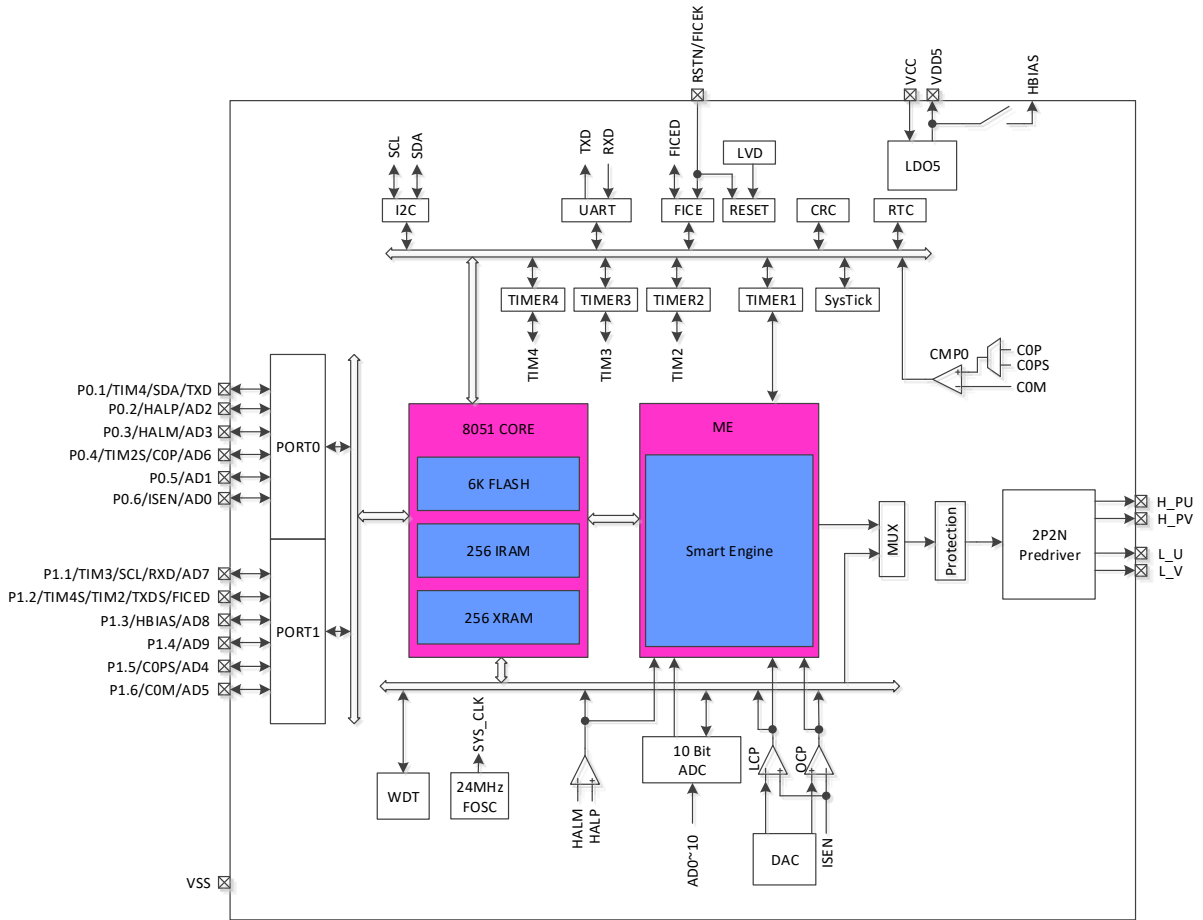


图 1-2 FU5821Q 功能框图

1.5 Memory 空间

内部存储空间分为指令空间(Program Memory)和数据空间(Data Memory)，两个空间独立编址。

1.5.1 Program Memory

指令空间可寻址范围(0x0000 ~ 0x17FF)。指令空间存储介质为 Flash，用于存储控制程序。

第一扇区(0x0000 ~ 0x007F)是中断向量地址区，用于保存各个中断子程序的起始地址。最后一个扇区(0x1780 ~ 0x17FF)内配置有芯片内部控制位。

1.5.2 Data Memory

数据空间分为外部数据空间(External Data Memory)和内部数据空间(Internal Data Memory)。

外部数据空间仅可通过 MOVX 指令访问，范围为 0x0000 ~ 0xFFFF。其中包括外部数据存储空间 XRAM(0x0000 ~ 0x00FF)，扩展控制器空间(0x4020 ~ 0x40FF)以及 ADC 转换结果存储区域(0x0100 ~ 0x0115)。

内部数据空间的地址范围为(0x00 ~ 0xFF)。其中(0x00 ~ 0x1F)为通用寄存器空间，包含 4 组，每组 8 个，共 32 个通用寄存器。(0x20 ~ 0x7F)为低位 RAM 空间，支持直接寻址和间接寻址访问，其中(0x20 ~ 0x2F)的 16Bytes 支持位寻址操作。(0x80 ~ 0xFF)，在间接寻址访问时，指向 RAM 空间，直接寻址访问时，指向 SFR 空间。

1.5.3 SFR

表 1-1 SFR 地址映射

Addr	0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)
0xF8	DRV_OUT				PO_OE	P1_OE		
0xF0	B							
0xE8		DRV_DTR						
0xE0	ACC	DRV_CR	DRV_DRL	DRV_DRH	DRV_ARRL	DRV_ARRH	DRV_CNTRL	DRV_CNTRH
0xD8	IP3	CMP_CR2	CMP_CR3	LVSr	TIM1_CR9	TIM1_CR10	TIM1_DBRB	DRV_SR
0xD0	PSW	TIM1_IER	TIM1_BCNTL	TIM1_BCNRH	TIM1_SR	CMP_CR0	CMP_CR1	CMP_SR
0xC8	IP2	RST_SR	TIM1_PWMDRL	TIM1_PWMDRH	TIM1_FPWMDRL	TIM1_FPWM, DDRH	TIM1_RPWMDRL	TIM1_RPWMDRH
0xC0	IP1	TIM1_CR8	TIM1_BCORL	TIM1_BCORH	TIM1_SCNTL	TIM1_SCNRH	TIM1_SARRL	TIM1_SARRH
0xB8	IP0	TIM1_CR7	TIM1_DBR2	TIM1_DBR3	TIM1_RCNTL	TIM1_RCNRH	TIM1_RARRL	TIM1_RARRH
0xB0		TIM1_CR0	TIM1_CR1	TIM1_CR2	TIM1_CR3	TIM1_CR4	TIM1_CR5	TIM1_CR6
0xA8	IE	TIM2_CR1	TIM2_CNTRL	TIM2_CNTRH	TIM2_DRL	TIM2_DRH	TIM2_ARRL	TIM2_ARRH
0xA0		TIM2_CR0	TIM3_CNTRL	TIM3_CNTRH	TIM3_DRL	TIM3_DRH	TIM3_ARRL	TIM3_ARRH
0x98	UT_CR	UT_DR	UT_BAUDL	UT_BAUDH	TIM3_CR0	TIM3_CR1	TIM4_CR0	TIM4_CR1
0x90	P1		TIM4_CNTRL	TIM4_CNTRH	TIM4_DRL	TIM4_DRH	TIM4_ARRL	TIM4_ARRH
0x88	TCON							
0x80	P0	SP	DPL	DPH	FLA_KEY	FLA_CR		PCON

注:

- 有双下划线的寄存器为16位快照寄存器，快照寄存器均为动态寄存器，需要使用变量将其值读出；直接读取寄存器将导致读出值不正确。
- 8位单片机读16位寄存器需要分两次读，有可能造成读高8位和低8位时，寄存器的值发生变化，导致读出的值不正确。所以快照寄存器在读高8位时，芯片会将低8位快照，当读低8位时，读的是快照的值，并非实时值。
- 快照寄存器必须先读高8位，再读低8位，而且必须整体读，不能只读高8位或者只读低8位。

1.5.4 XSFR

表 1-2 XSFR 地址映射

Addr	0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)
0x4038	ADC_SCYC	ADC_CR	LCP_DR	OCP_DR	PH_SEL		CAL_CRO	CAL_CR1
0x4030	P1_AN	PO_AN		PO_PU	P1_PU		ADC_MASKH	ADC_MASKL
0x4028	I2C_CR	I2C_ID	I2C_DR	I2C_SR	RTCOTMH	RTCOTML	RTCOSTA	TSD_CR
0x4020		CRC_DIN	CRC_CR	CRC_DR	CRC_BEG	CRC_CNT	WDT_CR	WDT_REL
0x4018								
0x4010								
0x4008								
0x4000								
0x0078	DBG_DAT0H	DBG_DAT0L	DBG_DAT1H	DBG_DAT1L	DBG_DAT2H	DBG_DAT2L	DBG_DAT3H	DBG_DAT3L
0x0080	ME_TABLE							
0x0088								
0x0090								
0x0098								
0x00a0								
0x00a8								
0x00b0								
0x00b8								
0x00c0								
0x00c8								
0x00d0								
0x00d8								
0x00e0								
0x00e8								
0x00f0								
0x00f8								
0x0100	ADC0_DRH	ADC0_DRL	ADC1_DRH	ADC1_DRL	ADC2_DRH	ADC2_DRL	ADC3_DRH	ADC3_DRL
0x0108	ADC4_DRH	ADC4_DRL	ADC5_DRH	ADC5_DRL	ADC6_DRH	ADC6_DRL	ADC7_DRH	ADC7_DRL
0x0110	ADC8_DRH	ADC8_DRL	ADC9_DRH	ADC9_DRL	ADC10_DRH	ADC10_DRL		

注:

- 有双下划线的寄存器为16位快照寄存器，快照寄存器均为动态寄存器，需要使用变量将其值读出；直接读取寄存器将导致读出值不正确。
- 8位单片机读16位寄存器需要分两次读，有可能造成读高8位和低8位时，寄存器的值发生变化，导致读出的值不正确。所以快照寄存器在读高8位时，芯片会将低8位快照，当读低8位时，读的是快照的值，并非实时值。
- 快照寄存器必须先读高8位，再读低8位，而且必须整体读，不能只读高8位或者只读低8位。

2 引脚定义

IO 类型说明:

- DI = 数字输入
- DO = 数字输出
- DB = 数字双向
- AI = 模拟输入
- AO = 模拟输出
- AB = 模拟双向
- P = 电源

2.1 FU5821T TSSOP16 引脚列表

表 2-1 FU5821T TSSOP16 引脚列表

引脚	FU5821T TSSOP16	IO 类型	功能描述
P0.1/ TIM4/ SDA/ TXD	1	DB/ DB/ DB/ DO	GPIO, 可配置外部中断 INTO 输入, 输出为集电极开漏输出 Timer4 输入输出 I ² C SDA, 可设置为集电极开漏输出 UART TXD 输出, 集电极开漏输出
H_PU	2	DO	2P2N 模式 Pre-driver 上桥 U 相输出, 内置 50kΩ 上拉电阻
H_PV	3	DO	2P2N 模式 Pre-driver 上桥 V 相输出, 内置 50kΩ 上拉电阻
L_U	4	DO	2P2N 模式 Pre-driver 下桥 U 相输出, 内置 25kΩ 下拉电阻
L_V	5	DO	2P2N 模式 Pre-driver 下桥 V 相输出, 内置 25kΩ 下拉电阻
VCC	6	P	电源输入, 外接 2.2μF 或更大滤波电容
VSS	7	P	地
VDD5	8	P	中压电源输入或内部 5V LDO 输出电源, 外接 1 ~ 4.7μF 电容
RSTN/ FICEK	9	DI/ DI	外部复位输入 FICE 时钟端
P1.2/ TIM4S/ TIM2/ TXDS/ FICED	10	DB/ DB/ DB/ DO/ DB	GPIO, 可配置外部中断 INTO/INT1 输入 功能转移后 Timer4 输入输出 Timer2 输入输出 UART 功能转移后 TXD 输出 FICE 数据端
P1.6/ COM/ AD5	11	DB/ AI/ AI	GPIO, 可配置外部中断 INT1 输入 CMPO 负输入端 ADC 通道 5 输入
P0.4/ TIM2S/ COP/ AD6	12	DB/ DB/ AI/ AI	GPIO, 可配置外部中断 INTO/INT1 输入 功能转移后 Timer2 输入输出 CMPO 正输入端 ADC 通道 6 输入
P0.6/ ISEN/ AD0	13	DI/ AI/ AI	输入端口 P0.6 母线电流检测输入 ADC 通道 0 输入

引脚	FU5821T TSSOP16	IO 类型	功能描述
P0. 2/ HALP/ AD2	14	DB/ AI/ AI	GPIO, 用于 Ha11 逻辑电平输入 差分 Ha11 正输入 ADC 通道 2 输入
P0. 3/ HALM/ AD3	15	DB/ AI/ AI	GPIO 差分 Ha11 负输入 ADC 通道 3 输入
P1. 1/ TIM3/ SCL/ RXD/ AD7	16	DB/ DB/ DB/ DB/ AI	GPIO, 可配置外部中断 INTO/INT1 输入, 可配置输入上拉或下拉 Timer3 输入输出 I ² C SCL, 可设置为集电极开漏输出 UART 在双线制模式下的 RXD 输入或单线制模式下的 TXD 输出 /RXD 输入 ADC 通道 7 输入

2.2 FU5821T TSSOP16 引脚图

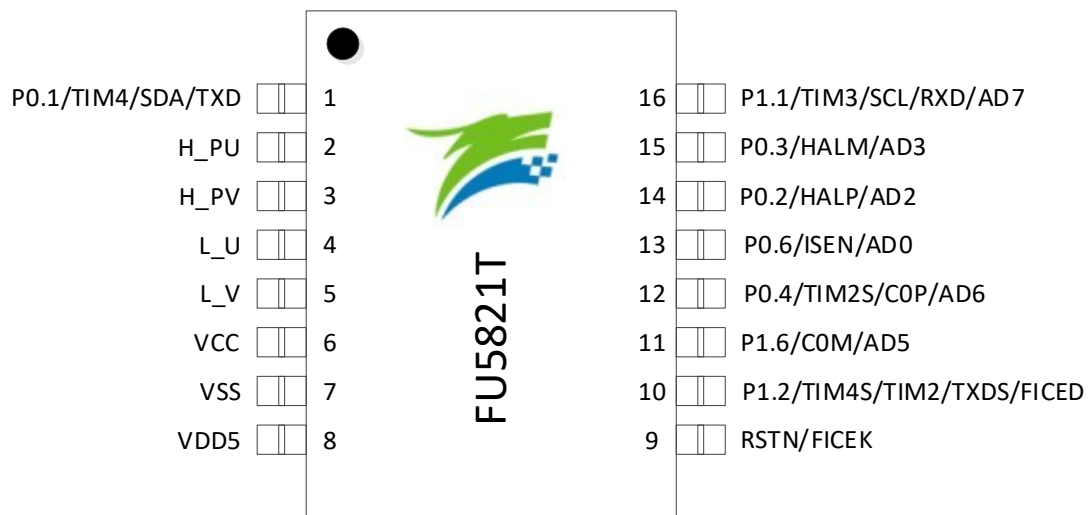


图 2-1 FU5821T TSSOP16 引脚图

2.3 FU5821Q QFN24 引脚列表

表 2-2 FU5821Q QFN24 引脚列表

引脚	FU5821Q QFN24	I/O 类型	功能描述
P0. 3/ HALM/ AD3	1	DB/ AI/ AI	GPIO P0. 3 可配置外部中断 0 输入 差分 HALL 负输入 ADC 通道 3 输入
P1. 1/ TIM3/ SCL/ RXD/ AD7	2	DI/ DI/ DB/ DB/ AI	GPIO P1. 1, 可配置外部中断 0/1 输入, 可配置输入上拉或下拉 Timer3 捕获模式输入 I ² C SCL 时钟, 集电极开路输出 UART 在双线制模式下的 RXD 输入或单线制模式下的 TXD 输出 /RXD 输入 ADC 通道 7 输入
P0. 1/ TIM4/ SDA/ TXD	3	DB/ DO/ DB/ DO	GPIO P0. 1, 可配置外部中断 0 输入, 输出为集电极开漏输出 Timer4 输出, 集电极开路输出 I ² C SDA 数据, 集电极开路输出 UART TXD 输出
NC	4	-	NC
H_PU	5	DO	2P2N 模式 Pre-driver 上桥 U 相电压输出, 内置上拉电阻
H_PV	6	DO	2P2N 模式 Pre-driver 上桥 V 相电压输出, 内置上拉电阻
NC	7		NC
L_U	8	DO	2P2N 模式 Pre-driver 下桥 U 相电压输出, 内置下拉电阻
L_V	9	DO	2P2N 模式 Pre-driver 下桥 V 相电压输出, 内置下拉电阻
NC	10		NC
VCC	11	P	电源输入, 外接 4. 7uF 或更大滤波电容
VSS	12	P	数字地
VDD5	13	P	5V LDO 输出电源, 外接 1 ~ 4. 7μF/10V 电容.
RSTN/ FICEK	14	DI/ DI	外部复位输入, 内置上拉电阻 FICE 调试接口时钟端
P1. 2/ TIM4S/ TIM2/ TXDS/ FICED	15	DB/ DO/ DB/ DO/ DB	GPIO P1. 2, 可配置外部中断 0/1 输入 Timer4 功能转移后输出 Timer2 捕获模式输入或者 PWM 输出 UART 功能转移后 TXD 输出 FICE 数据端口
P1. 3/ HBIAS/ AD8	16	DB/ DO/ AI	GPIO P1. 3, 可配置外部中断 1 输入 HALL 偏置电源, 内部通过开关连接 VDD5 ADC 通道 8 输入
P1. 4/ AD9	17	DB/ AI	GPIO P1. 4, 可配置外部中断 0/1 输入 ADC 通道 9 输入
P1. 5/ COPS/ AD4	18	DB/ AI/ AI	GPIO P1. 5, 可配置外部中断 0/1 输入 比较器 CMP0 功能转移后正输入端 ADC 通道 4 输入
P1. 6/ COM/ AD5	19	DB/ AI/ AI	GPIO P1. 6, 可配置外部中断 1 输入 比较器 CMP0 负入端 ADC 通道 5 输入

引脚	FU5821Q QFN24	IO 类型	功能描述
P0. 4/ TIM2S/ COP/ AD6	20	DB/ DB/ AI/ AI	GPIO P0. 4, 可配置外部中断 0/1 输入 Timer2 功能转移后捕获模式输入或者 PWM 输出 比较器 C0 正输入端 ADC 通道 6 输入
P0. 5/ AD1	21	DB/ AI	GPIO P0. 5, 可配置外部中断 0/1 输入 ADC 通道 1 输入
P0. 6/ ISEN/ AD0	22	DI/ AI/ AI	输入端口 P0. 6 母线电流检测输入 ADC 通道 0 输入
NC	23		NC
P0. 2/ HALP/ AD2	24	DB/ AI/ AI	GPIO P0. 2, 用于 HALL 逻辑电平输入 差分 HALL 正输入 ADC 通道 2 输入

2.4 FU5821Q QFN24 引脚图

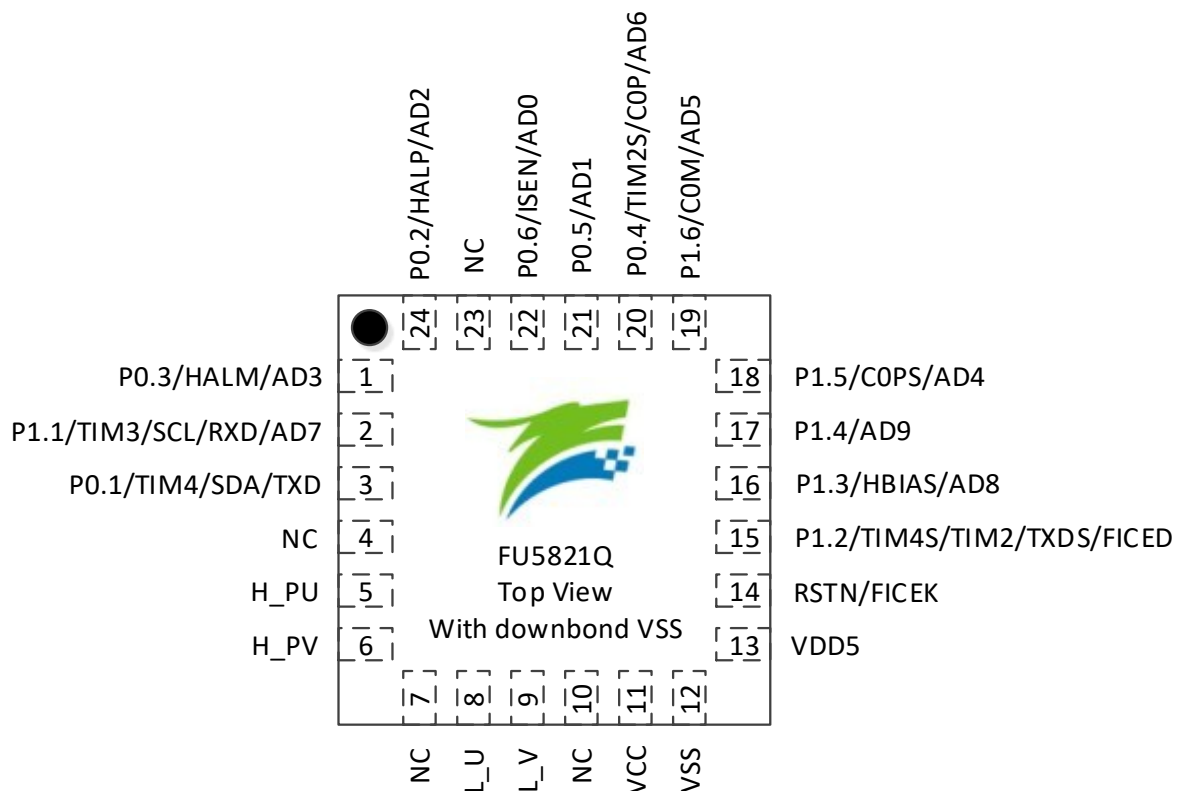


图 2-2 FU5821Q QFN24 引脚图

3 封装尺寸信息

3.1 FU5821T TSSOP16_4.4x5.0

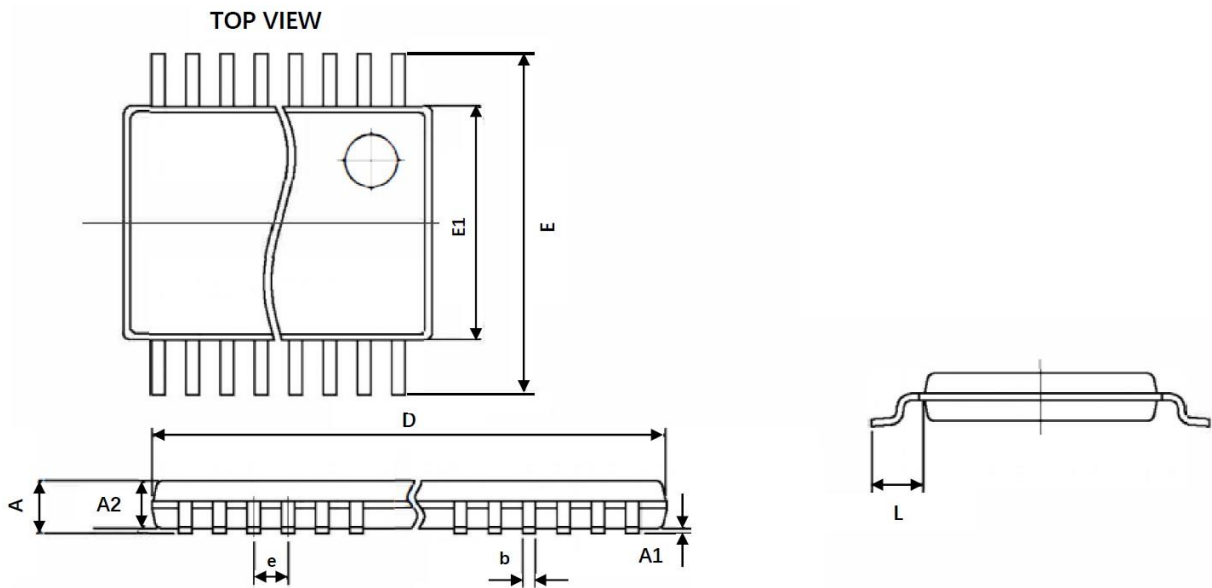


图 3-1 FU5821T TSSOP16_4.4x5.0mm 封装尺寸图

表 3-1 FU5821T TSSOP16_4.4x5.0mm 封装尺寸表

Symbol	Dimensions In Millimeter	
	Min	Max
A	-	1.20
A1	0.05	0.15
A2	0.80	1.05
E	6.20	6.60
E1	4.30	4.50
D	4.90	5.10
L	-	1.00
e	0.65	
b	0.19	0.30

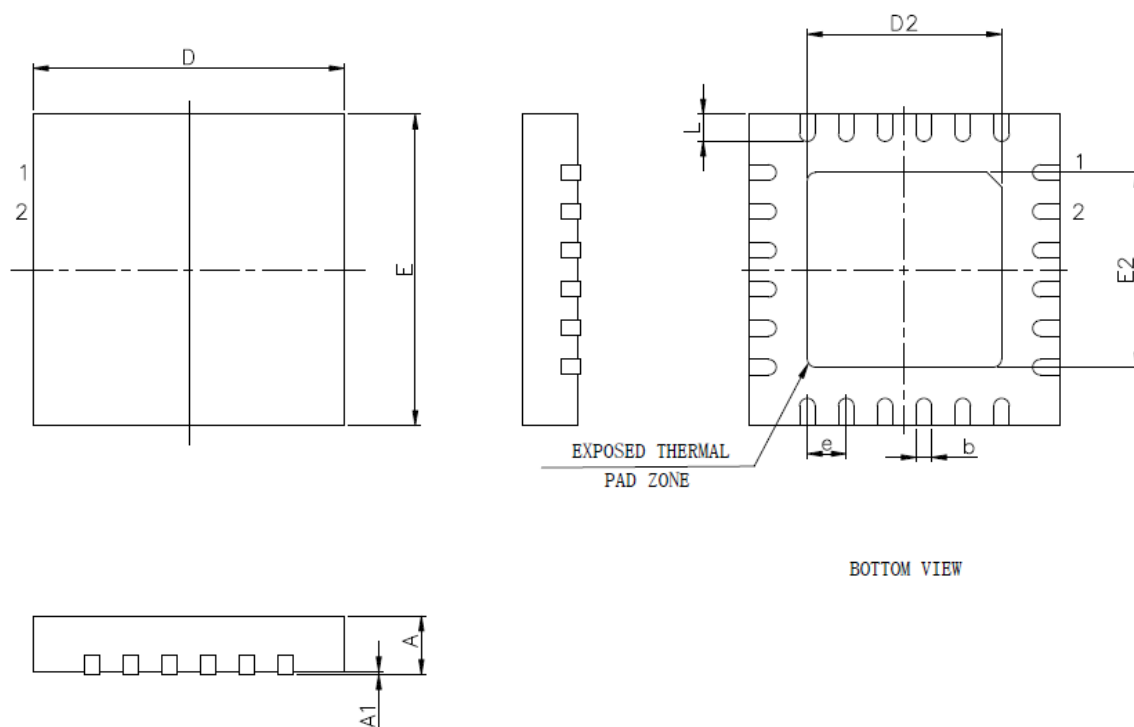
3.2 FU5821Q QFN24_4x4


图 3-2 FU5821Q QFN24_4x4 封装尺寸图

表 3-2 FU5821Q QFN24_4x4 封装尺寸表

Symbol	Dimensions In Millimeter		
	Min	Nom	Max
A	0.70	-	0.90
A1	0	-	0.05
D	3.90	4.00	4.10
E	3.90	4.00	4.10
D2	2.20	-	2.60
E2	2.20	-	2.60
L	0.25	-	0.50
e	-	0.50	-
b	0.18	-	0.30

4 订购信息

表 4-1 产品型号选择

型号	MIPS (Peak)	FLASH (kByte)	XRAM (Byte)	时钟电路				驱动接口			驱动类型			I ² C/UART	DMA	GPIO	定时器	模拟外设							无铅	封装	
				内部快时钟	外部快时钟	内部慢时钟	外部慢时钟	N+N Pre-driver	P+N Pre-driver	PWM	Soft Switch	Table Look-up	EMC Mode					ADC			DAC		VREF	运放			比较器
																		个数	通道数	位数	个数	位数					
FU5821Q	24	6	256	√	—	√	—	—	√	—	√	√	√	—	12	5	1	10	10	2	6/4	—	—	5	√	QFN24 (4x4mm)	
FU5821T	24	6	256	√	—	√	—	—	√	—	√	√	√	—	8	5	1	6	10	2	6/4	—	—	5	√	TSSOP16 (4.4x5.0mm)	

5 电气特性

5.1 绝对最大额定值

表 5-1 绝对最大额定值

参数	条件	最小值	典型值	最大值	单位
工作时环境温度 T_A	$VCC \leq 28V$	-40	-	85	$^{\circ}C$
	$VCC < 15V$	-40	-	105	$^{\circ}C$
工作时结温 T_J		-40	-	150	$^{\circ}C$
储存温度		-55	-	150	$^{\circ}C$
VCC 相对 VSS 的电压		-0.3	-	40	V
VDD5 相对 VSS 的电压		-0.3	-	6.5	V
RSTN、GPIO 相对 VSS 的电压		-0.3	-	$VDD5 + 0.3$	V

注：超过表 5-1 绝对最大额定值中所列的应力值可能会永久损坏器件。这仅为应力额定值，不建议器件运行在该规范范围以外。长期在最大额定值条件下工作可能会影响器件的可靠性。

5.2 全局电气特性

表 5-2 全局电气特性

 (除非特别声明, $T_A = 25^{\circ}C$, $VCC = 5 \sim 28V$)

参数	条件	最小值	典型值	最大值	单位
VCC 工作电压 ^[1]	单电源高压模式	5	-	28	V
VDD5 工作电压	VCC 与 VDD5 连接 ^[2]	-	-	5.5	V
系统时钟		-	24	-	MHz
I_{VCC} 工作电流 ^[3]		-	12	-	mA
I_{VCC} 待机电流 ^[3]		-	1.5	-	mA
I_{VCC} 睡眠电流		-	100	-	μA

注：

[1] 根据不同批次的样品，VCC 电压上升速率范围 $0.5V/\mu s \sim 0.1V/s$

[2] Flash 写入或擦除时 VDD5 必须保持在 $5 \sim 5.5V$

[3] 根据程序运行的设置发生变化

5.3 GPIO 电气特性

表 5-3 GPIO 电气特性

 (除非特别声明, $T_A = 25^\circ\text{C}$, $V_{CC} = 12\text{V}$)

参数	条件	最小值	典型值	最大值	单位
输出上升时间	50pF Load, 从 10% 上升至 90% 时间, $T_A = 25^\circ\text{C}$	-	15	-	ns
输出下降时间	50pF Load, 从 90% 下降至 10% 时间, $T_A = 25^\circ\text{C}$	-	13	-	ns
V_{OH} 输出高电压	$I_{OH} = 4\text{mA}$	$V_{DD} - 0.7$	-	-	V
V_{OL} 输出低电压	$I_{OL} = 8\text{mA}$	-	-	0.7	V
V_{IH} 输入高电压 ^[1]		$0.7 \cdot V_{DD5}$	-	-	V
V_{IL} 输入低电压		-	-	$0.2 \cdot V_{DD5}$	V
上拉电阻 ^[2]		-	35	-	k Ω
上拉电阻 ^[3]		-	6	-	k Ω
下拉电阻 ^[4]		-	15	-	k Ω

注:

 [1] 当 $V_{DD5} = 5\text{V}$ 时, V_{IH} 最小值可以为 $0.6 \cdot V_{DD5}$

[2] 除 P0[3:1] 外其他 GPIO

[3] P0[3:2]

[4] P1[1]

5.4 Pre-driver IO 电气特性

表 5-4 Pre-driver IO 电气特性

 (除非特别声明, $T_A = 25^\circ\text{C}$, $V_{CC} = 15\text{V}$)

参数	条件	最小值	典型值	最大值	单位
上桥输出拉电流		-	150	-	mA
上桥输出灌电流		-	90	-	mA
下桥输出拉电流		-	150	-	mA
下桥输出灌电流		-	180	-	mA
上桥输出上升时间	外接 1nF 电容, 从 10% 上升至 90% 时间	-	85	-	ns
上桥输出下降时间	外接 1nF 电容, 从 90% 下降至 10% 时间	-	140	-	ns
下桥输出上升时间	外接 1nF 电容, 从 10% 上升至 90% 时间	-	85	-	ns
下桥输出下降时间	外接 1nF 电容, 从 90% 下降至 10% 时间	-	55	-	ns
V_{OH_HS} 上桥输出高电平	$V_{CC} = 5 \sim 28\text{V}$	-	V_{CC}	-	V
V_{OL_HS} 上桥输出低电平	$V_{CC} = 13 \sim 28\text{V}$	-	$V_{CC} - 11$	-	V
	$V_{CC} = 5 \sim 12\text{V}$	-	1.2	-	V
V_{OH_LS} 下桥输出高电平	$V_{CC} = 13 \sim 28\text{V}$	-	11	-	V
	$V_{CC} = 5 \sim 12\text{V}$	-	$V_{CC} - 1.2$	-	V
V_{OL_LS} 下桥输出低电平	$V_{CC} = 5 \sim 28\text{V}$	-	0	-	V

5.5 OSC 电气特性

表 5-5 OSC 电气特性

 (除非特别声明, $T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$, $V_{CC} = 5\text{V} \sim 28\text{V}$)

参数	条件	最小值	典型值	最大值	单位
内部快时钟频率		23.5	24	24.5	MHz
WDT 时钟频率		29	32.8	37	kHz

注: 系统时钟周期为 T, SYSCLK 为系统时钟频率, $T = 1/\text{SYSCLK}$, 芯片系统时钟频率为 24MHz。
 除非特别声明, 后续引用到 T 与 SYSCLK 均与此同。

5.6 复位电气特性

表 5-6 复位电气特性

 (除非特别声明, $T_A = 25^{\circ}\text{C}$, $V_{CC} = 5\text{V} \sim 28\text{V}$)

参数	条件	最小值	典型值	最大值	单位
RSTN 复位低电平最小时间		50	-	-	μs

5.7 LDO 电气特性

表 5-7 LDO 电气特性

 (除非特别声明, $T_A = 25^{\circ}\text{C}$, $V_{CC} = 5\text{V} \sim 28\text{V}$)

参数	条件	最小值	典型值	最大值	单位
VDD5 电压	$V_{CC} = 7\text{V} \sim 28\text{V}$	4.7	5	5.3	V

5.8 封装热阻

表 5-8 FU5821T TSSOP16 封装热阻

参数	条件	值	单位
θ_{JA} 结温相对环境温度热阻 ^[1]	JEDEC 标准, 2S2P PCB	139	$^{\circ}\text{C}/\text{W}$
θ_{JC} 结温相对封装表面温度热阻 ^[1]	JEDEC 标准, 1SOP PCB	43	$^{\circ}\text{C}/\text{W}$

表 5-9 FU5821Q QFN24 封装热阻

参数	条件	值	单位
θ_{JA} 芯片结温相对环境温度 ^[1]	JEDEC 标准, 2S2P PCB	50	$^{\circ}\text{C}/\text{W}$
θ_{JC} 芯片结温相对封装表面温度 ^[1]	JEDEC 标准, 2S2P PCB	25	$^{\circ}\text{C}/\text{W}$

注:

[1] 实际应用条件不同, 会与测试结果有所出入。

6 复位控制

6.1 复位源(RST_SR)

芯片有 7 个复位源:

- 上电复位(RSTPOW)
- 外部引脚复位(RSTEXT)
- 低电压复位(RSTLVD)
- 看门狗复位(RSTWDT)
- Flash非法操作复位(RSTFED)
- Debug复位(RSTDBG)
- 软复位(SOFTR)

复位标志位可查询，记录在寄存器RST_SR中。最近一次的复位会把相关的标志位置1，把其他各位标志位清0。如需清除标志位，将RST_SR[RSTCLR]置1，以清除RST_SR[7:3]&RST_SR[0]的复位标志位。复位后MCU从地址0开始执行程序。

6.2 复位使能

复位使能参考相关控制寄存器。

6.3 外部引脚复位、上电复位

当芯片 RSTN 管脚为低，且超过 50 μ s 时，芯片复位。

电源上电，电压超过复位电压阈值后，芯片复位。

6.4 低电压保护复位

芯片的内部电路会对 VDD 进行监测，如 VDD 电压降低至复位电压阈值，内部监测电路将发出对应的复位信号，使芯片发生复位。

配置相关寄存器可使能低电压侦测电路，并选择低电压阈值。

6.5 看门狗溢出复位

使能看门狗定时器后，软件在程序中不断喂狗对看门狗定时器清 0。当程序跑飞，看门狗定时器溢出引发芯片复位。

6.6 RSTFED 复位

Flash 操作模块提供了 MOVX 指令，软件可进行自写、自擦除以及读取 Flash 的功能。当对最后一个扇区(0x1780~0x17FF)进行自擦除或对最后一个字节(0x17FF)进行自写操作时，发生 Flash 非法操作复位。RSTFED 复位源固定使能，不可禁止。

6.7 RSTDBG 复位

当芯片处于调试状态，点击 IDE 的复位按钮，IDE 发送 Debug 复位将芯片复位。

6.8 软复位

通过程序设置 RST_SR[SOFTR] = 1，芯片立刻复位，复位后 RST_SR[SOFTR]标志位被置 1。

6.9 复位寄存器

6.9.1 RST_SR (0xC9)

位	7	6	5	4	3	2	1	0
名称	RSTPOW/ RSTCLR	RSTEXT	RSTLVD	RSV	RSTWDT	RSTFED	RSTDBG	SOFTR
类型	R/W1	R	R	-	R	R	R	R/W1
复位值	-	-	-	-	-	-	-	-
位	名称	描述						
[7]	RSTPOW/ RSTCLR	上电复位标志位 读： 0: 上次复位不是来自上电复位 1: 上次复位来自上电复位 写： 0: 无意义 1: 清 RST_SR[7:3]&RST_SR[0]的复位标志位						
[6]	RSTEXT	外部引脚复位标志位 0: 上次复位不是来自外部引脚复位 1: 上次复位来自外部引脚复位						
[5]	RSTLVD	低电压复位标志位 0: 上次复位不是来自低电压复位 1: 上次复位来自低电压复位						
[4]	RSV	保留						
[3]	RSTWDT	看门狗复位标志位 0: 上次复位不是来自看门狗复位 1: 上次复位来自看门狗复位						
[2]	RSTFED	Flash 非法操作复位标志位 0: 上次复位不是来自 Flash 非法操作复位 1: 上次复位来自 Flash 非法操作复位						
[1]	RSTDBG	Debug 复位标志位 0: 上次复位不是来自 Debug 复位						

		1: 上次复位来自 Debug 复位
[0]	SOFTR	软复位标志位 读: 0: 上次复位不是来自软复位 1: 上次复位来自软复位 写: 0: 无意义 1: 触发软复位

7 中断

7.1 中断简介

芯片内部有 15 个中断源。每个中断源有四级优先级，通过 IP0 ~ IP3 寄存器进行配置。中断标志位分布在 SFR 或者 XSFR 内。当内部电路或者外部信号满足中断条件时，相应的中断事件标志位硬件置 1。当 IE[EA] = 1 且中断使能位和标志位均为 1 时，向 CPU 发出中断请求。如果没有更高优先级的中断子程序正在执行，就进入中断开始执行该中断子程序。

除复位中断外，每个中断源都可以设置优先级。低优先级中断可以被高优先级中断打断。当高优先级中断子程序执行结束，进入低优先级中断。相同优先级的中断不能相互打断。中断优先级寄存器可以单独设置每一个中断的优先级。设定值 0 ~ 3 依次表示优先级从低到高，默认值为 0。如果同时发生两个中断请求，则优先进入优先级较高的中断。如果两个中断源的优先级相同，则按照固定的优先顺序进行仲裁。中断源的详细列表以及仲裁顺序如表 7-1 所示。其中，标号越小代表优先顺序越高。

7.2 中断源使能

IE[EA]是全局中断使能位，IE[EA] = 0 时不响应任何中断请求。

通过设置 SFR 或 XSFR 中相关的中断使能位，可以单独使能或不使能某个中断源。使能全局中断后才能识别该中断源。全局中断使能寄存器或各个中断对应的中断使能位被清 0 后，被置 1 的中断标志寄存器将被一直保持。当相应的使能位被置 1，立刻进入标志位为 1 的中断。所以，在将使能位置 1 之前，要注意先将对应的中断事件标志位清 0。

7.3 外部中断

外部中断共有 2 个中断源 INT0 和 INT1。

端口 P0.1、P0.3 ~ 0.5、P1.1 ~ 1.2、P1.4 ~ 1.5 为数字 IO 输入，可作为外部中断 INT0 的中断触发源。中断触发源通过 LVSR[EXT0CFG]选择。这些中断触发源共用一个中断入口，一个中断事件标志位 TCON[IF0]，一个中断使能位 IE[EX0]。中断触发电平可由 TCON[IT0]选择。中断优先级在 IP0[PX0]中配置。

端口 P1.1 ~ 1.6、P0.4 ~ 0.5 为数字 IO 输入时，可作为外部中断 INT1 的中断触发源。中断触发源通过 LVSR[EXT1CFG]选择。这些中断触发源共用一个中断入口，一个中断事件标志位 TCON[IF1]，一个中断使能位 IE[EX1]。中断触发电平可以由 TCON[IT1]选择。

7.4 中断说明

表 7-1 中断说明

中断源	优先顺序	向量地址	标志位	是否软件清除	中断使能位	优先级设定
复位	最高	0x0000	无	否	一直使能	最高
LWV 中断 TSD 中断	0	0x0003	LVSR[0] TCON[5]	是	CCFG1[6] IE[1]	IP0[1:0]
外部中断 INTO	1	0x000B	TCON[2]	是	IE[0]	IP0[3:2]
外部中断 INT1	2	0x0013	TCON[7]	是	IE[2]	IP0[5:4]
DRV 比较匹配中断	3	0x001B	DRV_SR[4]	是	DRV_SR[1:0]	IP0[7:6]
Timer2 中断	4	0x0023	TIM2_CR1[7:5]	是	TIM2_CR1[4:3] TIM2_CR0[3]	IP1[1:0]
Timer1 中断	5	0x002B	TIM1_SR[6:0]	是	TIM_IER[5:0]	IP1[3:2]
ADC 中断	6	0x0033	ADC_CR[0]	是	ADC_CR[1]	IP1[5:4]
LOCP 中断	7	0x003B	CMP_SR[6:5]	是	CMP_CR1[5:4] CMP_CR2[5:4]	IP1[7:6]
RTC 中断	8	0x0043	RTC_STA[6]	是	IE[6]	IP2[1:0]
Timer3 中断	9	0x004B	TIM3_CR1[7:5]	是	TIM3_CR1[4:3] TIM3_CR0[3]	IP2[3:2]
Systick 中断	10	0x0053	DRV_SR[7]	是	DRV_SR[6]	IP2[5:4]
Timer4 中断	11	0x005B	TIM4_CR1[7:5]	是	TIM4_CR1[4:3] TIM4_CR0[3]	IP2[7:6]
CMPO 中断	12	0x0063	CMP_SR[4]	是	CMP_CR0[5:4]	IP3[1:0]
I ² C 中断	13	0x006B	I2C_SR[0]	是	I2C_CR[0]	IP3[3:2]
UART 中断	14	0x0073	UT_CR[1:0]	是	IE[4]	IP3[5:4]

注：

- 对于 UT_CR[Ri]、UT_CR [Ti]，可软件清 0 置 1，软件置 1 时产生中断请求。除上述中断事件标志位，其他的中断事件标志位软件只能清 0，软件置 1 无意义。
- 对于含有多个中断事件标志位的寄存器，为防止操作寄存器失误把中断事件标志位清 0，对不操作的中断事件标志位写 1。以 DRV_SR 为例，对于 DRV_SR[SYSTIF]的软件清 0，为避免 DRV_SR[DCIF]误清 0，使用语句 DRV_SR = (DRV_SR&0x7F) | 0x10。

7.5 中断寄存器

7.5.1 IE (0xA8)

位	7	6	5	4	3	2	1	0
名称	EA	RTCIE	RSV	ESO	RSV	EX1	TSDIE	EXO
类型	R/W	R/W	-	R/W	-	R/W	R/W	R/W
复位值	0	0	-	0	-	0	0	0
位	名称	描述						
[7]	EA	全局中断使能 0: 不使能 1: 使能						
[6]	RTCIE	RTC 中断使能 0: 不使能 1: 使能						
[5]	RSV	保留						
[4]	ESO	UART 中断使能 0: 不使能 1: 使能						
[3]	RSV	保留						
[2]	EX1	外部中断 INT1 使能 0: 不使能 1: 使能						
[1]	TSDIE	TSD 中断使能 0: 不使能 1: 使能						
[0]	EXO	外部中断 INTO 使能 0: 不使能 1: 使能						

7.5.2 IP0 (0xB8)

位	7	6	5	4	3	2	1	0
名称	PDRV		PX1		PX0		PLVW_TSD	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[7:6]	PDRV	DRV 比较匹配中断优化级设定						
[5:4]	PX1	外部中断 INT1 优化级设定						
[3:2]	PX0	外部中断 INTO 优化级设定						
[1:0]	PLVW_TSD	LVW/TSD 中断优化级设定						

注: 中断优化级设定值从 0~3 依次表示优化级从低到高, 共 4 级。

7.5.3 IP1 (0xC0)

位	7	6	5	4	3	2	1	0
名称	PLOCP		PADC		PTIM1		PTIM2	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述
[7:6]	PLOCP	LOCP 中断优化级设定
[5:4]	PADC	ADC 中断优化级设定
[3:2]	PTIM1	Timer1 中断优化级设定
[1:0]	PTIM2	Timer2 中断优化级设定

注：中断优化级设定值，从 0~3 依次表示优化级从低到高，共 4 级。

7.5.4 IP2 (0xC8)

位	7	6	5	4	3	2	1	0
名称	PTIM4		PSTIC		PTIM3		PRTC	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述
[7:6]	PTIM4	Timer4 中断优化级设定
[5:4]	PSTIC	Systick 中断优化级设定
[3:2]	PTIM3	Timer3 中断优化级设定
[1:0]	PRTC	RTC 中断优化级设定

注：中断优化级设定值，从 0~3 依次表示优化级从低到高，共 4 级。

7.5.5 IP3 (0xD8)

位	7	6	5	4	3	2	1	0
名称	RSV		PUART		PI2C		PCMP0	
类型	-	-	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	-	0	0	0	0	0	0

位	名称	描述
[7:6]	RSV	保留
[5:4]	PUART	UART 中断优先级设定
[3:2]	PI2C	I ² C 中断优先级设定
[1:0]	PCMP0	CMPO 中断优先级设定

注：中断优化级设定值，从 0~3 依次表示优化级从低到高，共 4 级。

7.5.6 TCON (0x88)

位	7	6	5	4	3	2	1	0
名称	IF1	TSDf	TSDIF	IT1		IF0	IT0	
类型	R/W0	R	R/W0	R/W	R/W	R/W0	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述
[7]	IF1	外部中断 INT1 标志位 读： 0：未发生中断事件 1：发生中断事件 写： 0：清 0 1：无意义

[6]	TSDF	过温状态位 0: 当前温度未超过设定温度 1: 当前温度超过设定温度 注: 此标志位常与 TSD 中断事件标志位 TCON[5]配合使用
[5]	TSDIF	TSD 中断事件标志位 当检测到芯片曾经超过设定温度时, 该位硬件置 1 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清 0 1: 无意义 注: 此标志位常与过温状态位 TCON[TSDF]配合使用
[4:3]	IT1	外部中断 INT1 触发电平选择 00: 上升沿触发中断 01: 下降沿触发中断 1X: 电平改变(上升或下降)触发中断
[2]	IF0	外部中断 INTO 事件标志位 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清 0 1: 无意义
[1:0]	IT0	外部中断 INTO 触发电平选择 00: 上升沿触发中断 01: 下降沿触发中断 1X: 电平改变(上升或下降)触发中断

8 I²C

8.1 I²C 简介

I²C 模块提供符合工业标准的两线串口接口，是一种简单双向的同步串行总线，可用于 MCU 和外部 I²C 设备的通讯，如图 8-1 所示。总线由两根串行线组成：SDA 和 SCL。P0.1 为 SDA 端口，P1.1 为 SCL 端口。I²C 使能后，P0.1 和 P1.1 自动变为开漏电路。

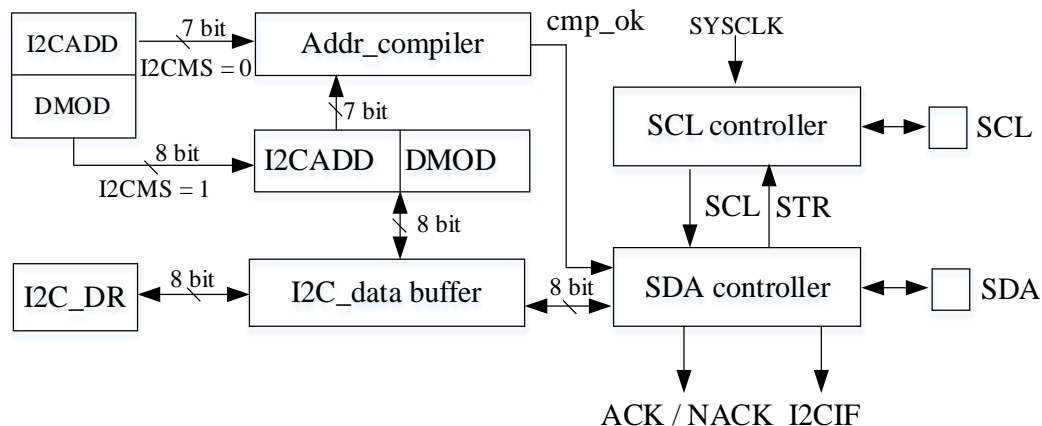


图 8-1 I²C 结构框图

主要特性：

- 支持标准模式(最高 100kHz)、快速模式(最高 400kHz)以及快速 + 模式(最高 1MHz)
- 支持主机模式和从机模式
- 支持 7 位地址模式和广播寻址模式

总线空闲时 SDA 和 SCL 为高电平，这是检测总线是否空闲的唯一依据。I²C 通讯过程中，总线上有且只有一个主器件和至少一个从器件处于活跃状态。当总线被占用时，其他设备必须等待 I²C 空闲才能控制总线发起 I²C 通讯。主机启动总线传输数据，通过 SCL 发送时钟信号，通过 SDA 发送从机地址和读写模式。如果总线上有器件匹配该地址，该器件将作为从机。在总线上主机可以向从器件请求或发送数据。主机发送数据给从机：主机首先寻址从机，从机应答后发送数据至从机，最后由主机终止数据传送，通讯过程如图 8-2 所示。主机要接收从机的数据：主机首先寻址从机，等待从机应答后，主机接收从机发送的数据，最后由主机终止接收过程，通讯过程如图 8-3 所示。在这种情况下，主机负责产生传输时钟和终止数据传送。

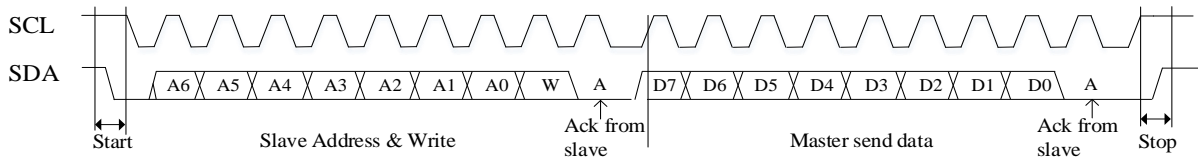


图 8-2 主机向从机发送数据

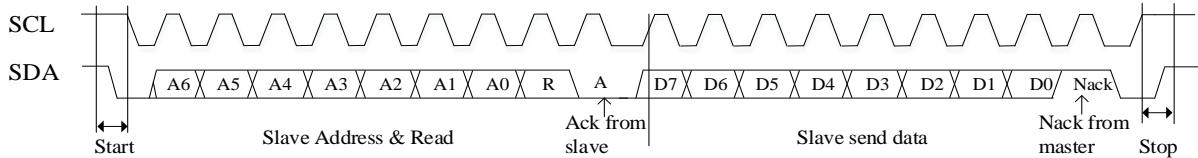


图 8-3 主机接收从机的数据

8.2 I²C 操作说明

8.2.1 主机模式

1. 配置 I2C_CR[I2CMS] = 1，设置为主机模式；
2. 配置 I2C_CR[I2CSPD]，设置时钟 SCL 频率；
3. 配置 I2C_ID[I2CADD]，设置从机地址；
4. 配置 I2C_SR[DMOD]，设置读写方向；
5. 配置 I2C_CR[I2CEN] = 1，使能 I²C；
6. 配置 I2C_SR[I2CSTA] = 1，发送 START 和地址，在接收到 ACK/NACK 后，I2C_SR[STR] 被硬件置 1，SCL 被主机强制拉低；
7. 发送数据：通过 I2C_DR 配置发送数据，将 I2C_SR[STR] 清 0 释放 SCL 后，主机开始发送数据。当数据发送完毕且接收到 ACK/NACK 后，I2C_SR[STR] 硬件置 1，SCL 被主机强制拉低；
8. 接收数据：在将 I2C_SR[STR] 清 0 释放 SCL 后，主机开始接收数据。当数据接收完毕，I2C_SR[STR] 硬件置 1，SCL 被主机强制拉低。通过 I2C_SR[NACK] 设置 ACK/NACK 后，再将 I2C_SR[STR] 清 0 释放 SCL 以发送 ACK/NACK 信号。如果收到了新数据，I2C_SR[STR] 硬件置 1，SCL 被主机强制拉低；
9. 停止通讯：当在 I2C_SR[STR] = 1 时置位 I2C_SR[I2CSTP] = 1，I2C_SR[STR] 复位后发送停止信号。

8.2.2 从机模式

1. 配置 I2C_CR[I2CMS] = 0，设置为从机模式；
2. 配置 I2C_ID[I2CADD]，设置从机地址；或者配置 I2C_ID[GC] = 1，使能广播模式；
3. 配置 I2C_CR[I2CEN] = 1，使能 I²C；
4. 接收到 START 信号和正确的地址后，I2C_SR[I2CSTA]和 I2C_SR[STR]被硬件置 1，SCL 被从机强制拉低。通过 I2C_SR[NACK]设置 ACK/NACK，并通过 I2C_SR[DMOD]确认本次通讯是接收数据还是发送数据；
5. 发送数据: 通过 I2C_DR 配置发送数据，将 I2C_SR[STR]清 0 释放 SCL 后，发送 ACK/NACK 后发送数据，当数据发送完成且收到主机发来的 ACK/NACK 后，I2C_SR[STR]硬件置 1，SCL 被从机强制拉低；
6. 接收数据: 将 I2C_SR[STR]清 0 释放 SCL 开始接收数据。当数据接收完成，I2C_SR[STR]硬件置 1，SCL 被从机强制拉低。通过 I2C_SR[NACK]设置 ACK/NACK 后，将 I2C_SR[STR]清 0 释放 SCL 并发送 ACK/NACK。如果接收到新的数据，I2C_SR[STR]硬件置 1，SCL 被从机强制拉低；
7. RESTART 功能: 当从机在忙状态中接收到 START 信号，则中止当前工作，等待接收地址。

8.2.3 I²C 中断源

I²C 的中断源有：

- I2C_SR[STR] = 1 时，该中断源在主机和从机模式下都有效
- I2C_SR[I2CSTP] = 1 时，该中断源只在从机模式下有效

8.3 I²C 寄存器

8.3.1 I2C_CR (0x4028)

位	7	6	5	4	3	2	1	0
名称	I2CEN	I2CMS	RSV			I2CSPD		I2CIE
类型	R/W	R/W	-	-	-	R/W	R/W	R/W
复位值	0	0	-	-	-	0	0	0
位	名称	描述						
[7]	I2CEN	I ² C 使能 使能相应 GPIO 切换为 I ² C 模式，集电极开漏输出。I ² C 上拉是否打开由端口上拉设置决定。 0: 不使能 1: 使能						
[6]	I2CMS	主/从机模式选择 0: 从机 1: 主机						
[5:3]	RSV	保留						

[2:1]	I2CSPD	I ² C 传输速率配置，仅在主机模式下有效 00: 100kHz 01: 400kHz 10: 1MHz 11: 保留
[0]	I2CIE	I ² C 中断使能 0: 不使能 1: 使能

8.3.2 I2C_ID (0x4029)

位	7	6	5	4	3	2	1	0
名称	I2CADD							GC
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	0	1	0	1	0	1	0
位	名称	描述						
[7:1]	I2CADD	从机地址						
[0]	GC	广播模式，只在从机模式下有效 0: 不使能广播呼叫 1: 使能广播呼叫，即地址 0x00 也会响应						

8.3.3 I2C_DR (0x402A)

位	7	6	5	4	3	2	1	0
名称	I2C_DR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[7:0]	I2C_DR	I ² C 数据寄存器 读: 准备发送的数据或接收到的数据 写: 准备发送的数据						

8.3.4 I2C_SR (0x402B)

位	7	6	5	4	3	2	1	0
名称	I2CBSY	DMOD	RSV	I2CSTA	I2CSTP	STR	NACK	I2CIF
类型	R	R/W	-	R/W	R/W	R/WO	R/W	R
复位值	0	0	-	0	0	0	0	0
位	名称	描述						
[7]	I2CBSY	I ² C 忙状态标志位 当 I2C_CR[I2CEN] = 0 时，I2C_SR[I2CBSY] 硬件清 0 主机模式： 发送 START 成功后，硬件置 1，发送 STOP 成功后，硬件清 0 从机模式： 收到 START 且地址匹配成功后，硬件置 1，收到 STOP 后，硬件清 0						
[6]	DMOD	I ² C 读写标志位 0: 写模式(主机端发数据，从机端收数据) 1: 读模式(主机端收数据，从机端发数据)						

		注: 从机模式只读															
[5]	RSV	保留															
[4]	I2CSTA	<p>主机模式: 软件写 1, 硬件确认 SCL、SDA 全为高后开始发送 START 和地址字节。当发送完成后硬件自动清 0。在发送或接收数据的过程中, 禁止 I2C_SR[I2CSTA] 写入。在数据发送或接收完毕后置 I2C_SR[I2CSTA] = 1, 发送 RESTART。 0: 非 START 和地址字节 1: 发送 START 或 RESTART 和地址字节</p> <p>从机模式: 硬件收到 START 且地址字节匹配后置 1, 软件清 0</p> <p>表 8-1 从机模式 I2C_SR[I2CSTA] 和 I2C_SR[I2CSTP] 与当前 I²C 数据类型的关系</p> <table border="1" data-bbox="470 689 1391 902"> <thead> <tr> <th>I2CSTA</th> <th>I2CSTP</th> <th>I²C 数据类型</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>数据字节</td> </tr> <tr> <td>0</td> <td>1</td> <td>STOP</td> </tr> <tr> <td>1</td> <td>0</td> <td>START + 地址字节</td> </tr> <tr> <td>1</td> <td>1</td> <td>先收到 STOP 再收到 START + 地址字节</td> </tr> </tbody> </table> <p>注: 当 I2C_CR[I2CEN] = 0 时, I2C_SR[I2CSTA] 自动清 0</p>	I2CSTA	I2CSTP	I ² C 数据类型	0	0	数据字节	0	1	STOP	1	0	START + 地址字节	1	1	先收到 STOP 再收到 START + 地址字节
I2CSTA	I2CSTP	I ² C 数据类型															
0	0	数据字节															
0	1	STOP															
1	0	START + 地址字节															
1	1	先收到 STOP 再收到 START + 地址字节															
[3]	I2CSTP	<p>主机模式: 当 I2C_SR[I2CBSY] = 1 时, 软件才能有效写 1, I2C_SR[STR] 清 0 释放 SCL 开始发送 STOP。发送完 STOP 后硬件自动清 0。如果 I2C_SR[I2CSTA] 和 I2C_SR[I2CSTP] 同时写 1, 且 I2C_SR[I2CBSY] = 1, 则 I²C 先发送 STOP, 再发 START 和地址字节, START 和地址字节发送完成后 I2C_SR[STR] 硬件置 1。在发送或接收数据的过程中, 禁止 I2C_SR[I2CSTP] 写入。 0: 不发送 STOP 1: 发送 STOP</p> <p>从机模式: 硬件收到 STOP 后置 1, 软件清 0。 状态标志位参考表 8-1。</p> <p>注: 当 I2C_CR[I2CEN] = 0 时, I2C_SR[I2CSTP] 会被硬件自动清 0</p>															
[2]	STR	<p>I²C 总线挂起标志位</p> <p>主机模式: 当硬件发送完 START 加地址字节或 DATA 字节后, I2C_SR[STR] 硬件置 1, 同时 SCL 被拉低, I2C_SR[STR] 软件清 0 后释放 SCL。 如果 I2C_SR[I2CSTA] 和 I2C_SR[I2CSTP] 同为 1, 则当硬件发送完 STOP 和 START 加地址字节后, I2C_SR[STR] 才会置 1</p> <p>从机模式: 当硬件接收完 START 且地址匹配或 DATA 字节后, I2C_SR[STR] 硬件置 1, 同时 SCL 被拉低, I2C_SR[STR] 软件清 0 后释放 SCL。</p> <p>注: 该位由硬件置 1, 软件清 0。当 I2C_CR[I2CEN] = 0 时, I2C_SR[STR] 自动清 0</p>															
[1]	NACK	<p>I²C 传输完一个字节后, 接收方向发送方的反馈。I2C_SR[I2CEN] = 0 时, 该位自动清 0 0: ACK, 表示接收方可以继续接收数据 1: NACK, 表示接收方希望停止数据传送</p>															

		当设备处于读模式，在接收完数据第 8 位后配置 I2C_SR[NACK]发送 ACK/NACK 0: 第 9 位发送 ACK 1: 第 9 位发送 NACK 当设备处于写模式，在发送完数据第 8 位后读 I2C_SR[NACK]接收 ACK/NACK 0: 第 9 位收到的是 ACK 1: 第 9 位收到的是 NACK
[0]	I2CIF	I ² C 中断事件标志位 0: 未发生中断事件 1: 发生中断事件 当 I2C_SR[STR] = 1 时，在主机和从机模式下产生中断 当 I2C_SR[I2CSTP] = 1 时，在从机模式下产生中断

9 UART

9.1 UART 简介

UART 是一种全双工或半双工串行数据交换接口，如图 9-1 所示。传输波特率、接收发送反向电平(仅在模式 1、模式 3 有效)可配置。UART 通信时序如图 9-2 所示。

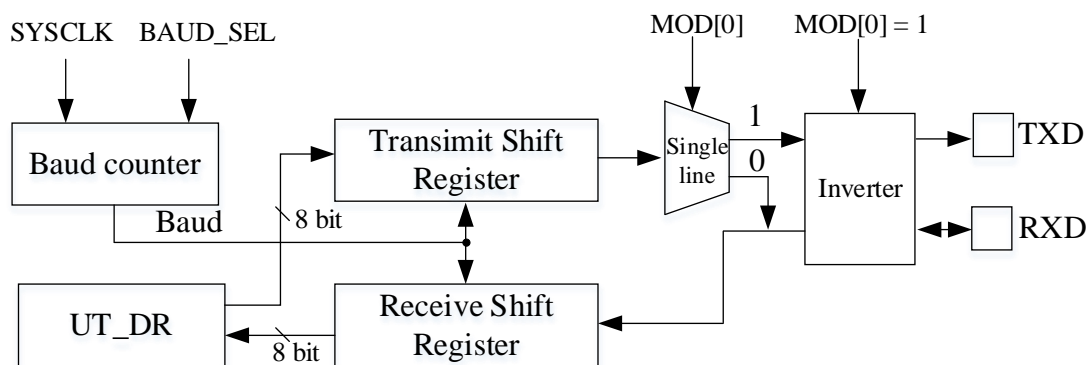


图 9-1 UART 通信模块构造框图

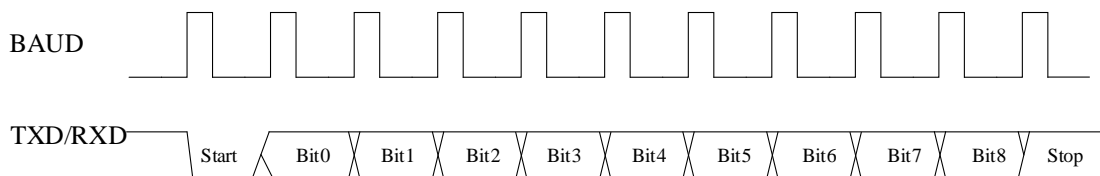


图 9-2 UART 通信时序图

9.2 UART 操作说明

在使用 UART 前需确保相关寄存器使能，详细请参考 18.3.7 PH_SEL (0x403C) [7:6]位描述。

9.2.1 UART 模式 0

模式 0 工作于单线制半双工模式。RXD 既为发送数据总线，又为接收数据总线。收发数据为 10 位(1 位启动、8 位数据、1 位停止)，波特率由 UT_BAUD[BAUD]决定。

发送数据：将发送的数据写入 UT_DR 并将 UT_CR[TI]清 0，RXD 将输出 10 位数据。发送完成后 UT_CR[TI]置 1。

接收数据：配置 UT_CR[REN] = 1 启动接收并将 UT_CR[RI]清 0，数据通过 RXD 接收。接收完成后，UT_CR[RI]置 1，读取 UT_DR 会得到接收到的数据。

9.2.2 UART 模式 1

模式 1 工作于全/半双工模式。TXD 为发送数据总线，RXD 为接收数据总线，收发数据为 10 位(1 位启动、8 位数据、1 位停止)，波特率由 UT_BAUD[BAUD]决定。

发送数据: 将发送的数据写入 UT_DR 并将 UT_CR[TI]清 0, TXD 将输出 10 位数据。发送完成后 UT_CR[TI]被置 1。

接收数据: 配置 UT_CR[REN] = 1 启动接收并将 UT_CR[RI]清 0, 数据通过 RXD 接收。接收完成后, UT_CR[RI]被置 1, 读取 UT_DR 会得到接收到的数据。

9.2.3 UART 模式 2

模式 2 工作于单线制半双工模式。RXD 既为发送数据总线, 又为接收数据总线, 收发数据为 11 位(1 位启动、9 位数据、1 位停止), 波特率由 UT_BAUD[BAUD]决定。

发送数据: 将发送数据前 8 位写入 UT_DR, 第 9 位写入 UT_CR[TB8]并将 UT_CR[TI]清 0, TXD 将输出 11 位数据。发送完成后 UT_CR[TI]被置 1。

接收数据: 配置 UT_CR[REN] = 1 启动接收并将 UT_CR[RI]清 0, 数据通过 RXD 接收。接收完成后, UT_CR[RI]被置 1, UT_CR[RB8]存放第 9 位数据, UT_DR 存放前 8 位的数据。

9.2.4 UART 模式 3

模式 3 工作于全/半双工模式。TXD 为发送数据总线, RXD 为接收数据总线, 收发数据为 11 位(1 位启动、9 位数据、1 位停止), 波特率由 UT_BAUD[BAUD]决定。

发送数据: 将发送数据的前 8 位写入 UT_DR, 第 9 位写入 UT_CR[TB8]并将 UT_CR[TI]清 0, TXD 将输出 11 位数据, 发送完成后 UT_CR[TI]被置 1。

接收数据: 配置 UT_CR[REN] = 1 启动接收并将 UT_CR[RI]清 0, 数据通过 RXD 接收。接收完成后, UT_CR[RI]被置 1, UT_CR[RB8]存放第 9 位数据, UT_DR 存放前 8 位的数据。

9.2.5 UART 中断源

UART 中断源有:

- UART 发送完 1 组数据后, 发送完成中断事件标志位 UT_CR[TI]硬件置 1
- UART 接收完 1 组数据和 STOP 停止位后, 接收完成中断事件标志位 UT_CR[RI]硬件置 1

9.3 UART 寄存器

9.3.1 UT_CR (0x98)

位	7	6	5	4	3	2	1	0
名称	MOD		SM2	REN	TB8	RB8	TI	RI
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[7:6]	MOD	模式配置位 00: 模式 0 01: 模式 1 10: 模式 2 11: 模式 3						

[5]	SM2	单机通信和多机通信选择 0: 单机通信 1: 多机通信
[4]	REN	串行输入使能 0: 不使能 1: 使能
[3]	TB8	模式 2 与模式 3 下发送数据的第 9 位
[2]	RB8	模式 2 与模式 3 下接收数据的第 9 位
[1]	TI	数据发送完成中断事件标志位 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清 0 1: 产生中断事件
[0]	RI	数据接收完成中断事件标志位 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清 0 1: 产生中断事件

9.3.2 UT_DR (0x99)

位	7	6	5	4	3	2	1	0
名称	UT_DR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[7:0]	UT_DR	发送/接收数据 读：接收的数据 写：发送的数据 注：UART 的数据缓冲器由 2 个互相独立的接收、发送缓冲器构成，可以同时发送和接收数据。发送缓冲器只能写入而不能读出，接收缓冲器只能读出而不能写入，因而两个缓冲器可以共用一个地址码。						

9.3.3 UT_BAUD (0x9A, 0x9B)

UT_BAUDH(0x9B)								
位	15	14	13	12	11	10	9	8
名称	BAUD_SEL	RSV	UART_RX_INV	UART_TX_INV	UT_BAUD[11:8]			
类型	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	-	0	0	0	0	0	0
UT_BAUDL(0x9A)								
位	7	6	5	4	3	2	1	0
名称	UT_BAUD[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	0	0	1	1	0	1	1
位	名称	描述						
[15]	BAUD_SEL	倍频使能 0：不使能 1：使能						
[14]	RSV	保留						
[13]	UART_RX_INV	接收反向使能 0：不使能 1：使能 注：接收电平反向配置，单线模式无效						
[12]	UART_TX_INV	发送反向使能 0：不使能 1：使能 注：发送电平反向配置，单线模式无效						
[11:0]	UT_BAUD	波特率设置 $\text{波特率} = \text{SYSCLK} / (16 / (1 + \text{UT_BAUD}[\text{BAUD_SEL}])) / (\text{UT_BAUD}[\text{BAUD}] + 1)$ 例：波特率 9600，UT_BAUD[BAUD_SEL] = 0；则 UT_BAUD[BAUD] = $(24\text{M}/16/9600/(1 + 0)) - 1 = 155$ ，即为 0x9B						

10 Timer1

10.1 Timer1 操作说明

Timer1 包含一个 16 位向上计数的基本计数器、一个 16 位向上计数的重载计数器和一个 16 位向上计数的过程计数器。Timer1 主要用于单相电机的自动换相、软切换和提前角设置。Timer1 具有如下特性：

- 16位向上计数的基本计数器用于记录两次位置检测或者写入时序之间的时间，即用于180度换相时间的计数。
- 16位向上计数的重载计数器用于位置检测到重载计数器上溢的时间计数，即用于提前和滞后时间的计数。
- 16位向上计数的过程计数器用于软切换下坡、平台、上坡时间和堵转检测时间的计数。
- 3-bit可编程分频器为三个计数器提供计数时钟
- Hall信号输入滤波和采样
- 软切换用于换相控制，旨在减少电机换相过程中出现的电流突变和电压过冲
- 堵转检测
- 刹车控制

10.1.1 Timer 计数单元

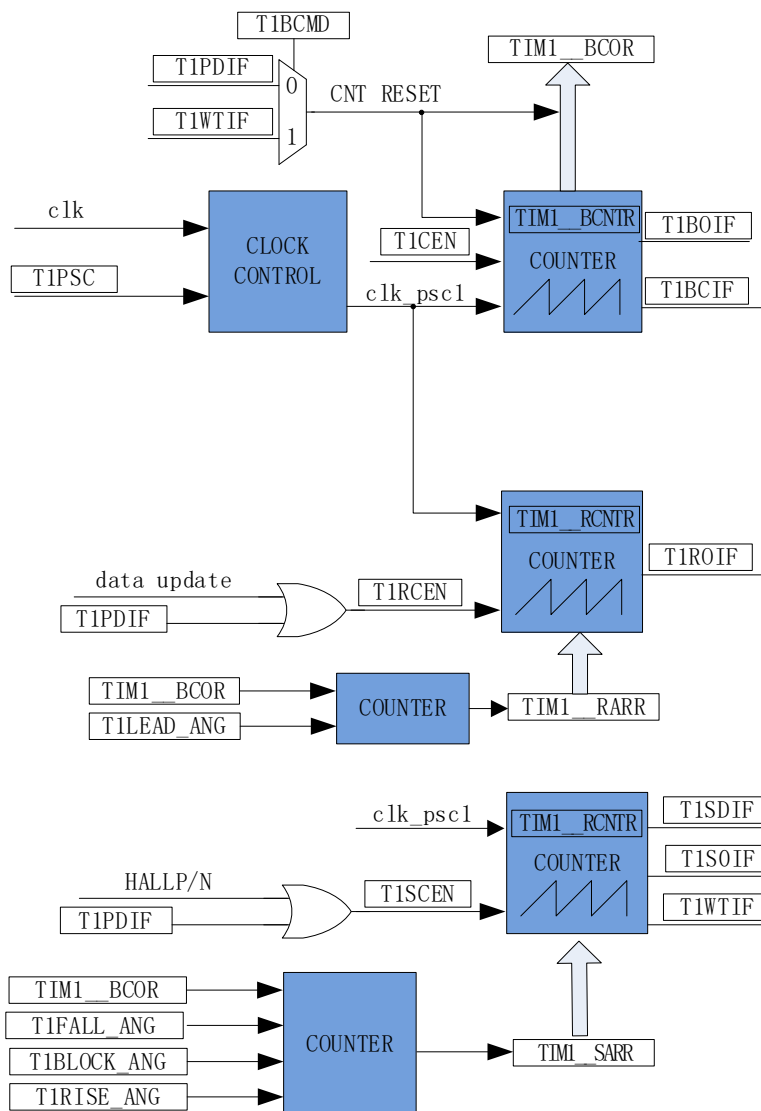


图 10-1 时基单元

Timer1 包含一个分频器，一个 16 位向上计数的基本定时器，一个 16 位向上计数的重载定时器，一个 16 位向上计数的过程定时器。

10.1.1.1 分频器

分频器用于对内部快时钟分频，产生基本计数器、重载计数器和过程计数器的计数时钟。分频器由 TIM_CR10[T1PSC]控制，可选择 7 种分频系数。由于此控制寄存器没有缓冲器，改变它会立刻更新分频系数，所以应该在基本计数器、重载计数器和过程计数器都不工作时更新分频系数。计数时钟频率为 $clk_psc1 = SYSCCLK/(2^{TIM_CR10[T1PSC]})$ 。

表 10-1 寄存器 TIM_CR10[T1PSC]不同值对应的时钟频率

TIM_CR10[T1PSC]	分频系数	clk_psc1 (Hz)	TIM_CR10[T1PSC]	分频系数	clk_psc 1(Hz)
000	1	24M	100	16	1.5M
001	2	12M	101	32	750k
010	4	6M	110	64	375k
011	8	3M	111	64	375k

10.1.1.2 基本计数器

基本计数器是一个 16 位向上计数的计数器，由寄存器 TIM1__BCNTR、TIM1__BCOR 和内部寄存器 TIM1_BCCR 组成，主要用于 Hall 信号周期采集。

当 TIM1_CR0[T1CEN]为 1 时，基本计数器开始工作，当计数值等于 0xFFFF 时触发基本计数器上溢事件，此时基本计数器上溢标志 TIM1_SR[T1BOIF]置 1，若使能基本计数器上溢中断，则该标志将触发基本计数器上溢中断。

当基本计数器收到计数器复位信号时触发基本计数器捕获事件，此时基本计数器捕获标志 TIM1_SR[T1BCIF]置 1，若使能基本计数器捕获中断，则该标志将触发基本计数器捕获中断；基本计数器捕获事件还会将 TIM1__BCNTR 的值送到 TIM1_BCCR，随后 TIM1__BCNTR 清 0 重新开始计数。

基本计数器的计数器复位信号由 TIM1_CR0[T1BCMD]设置，可选择 Hall 有效边沿复位或手动复位。当为手动复位时，用户修改 TIM1_CR8 的动作将作为计数器的复位信号；当为 Hall 有效边沿复位时，用户可通过 TIM1_CR5[T1HEES]设置有效沿为双沿、下降沿还是上升沿。

TIM1__BCOR 为 TIM1_BCCR 的均值，代表半个 Hall 信号周期的长度。TIM1_BCCR 的求平均次数由 TIM1_CR0[T1CFLT]设置。

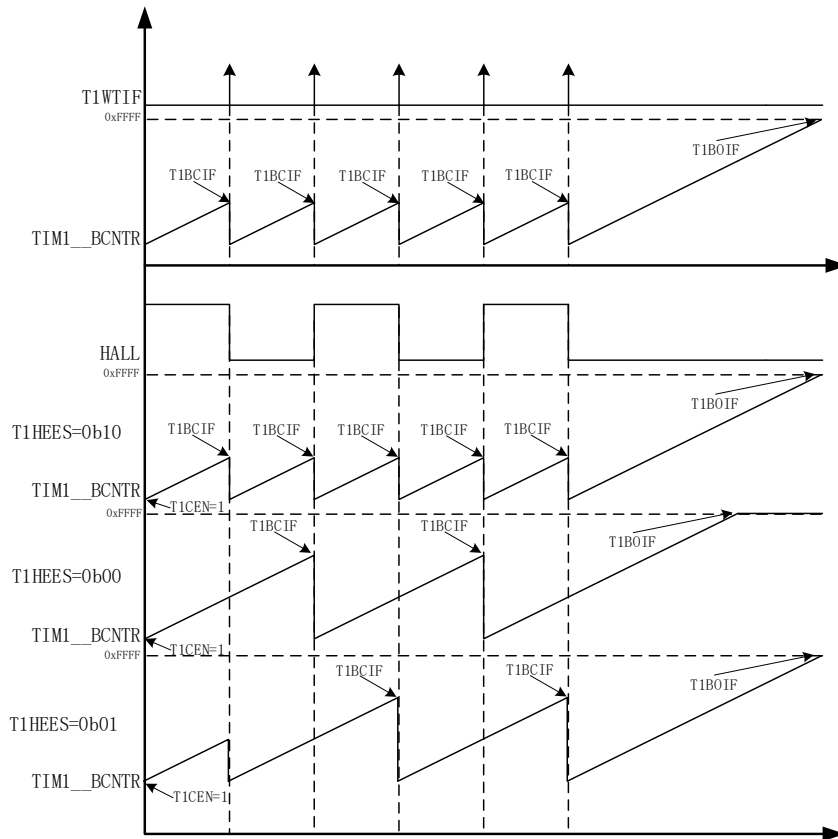


图 10-2 基本计数器计数波形图(选择 Hall 有效边沿复位)

10.1.1.3 重载计数器

重载计数器是一个 16 位向上计数的计数器，由寄存器 `TIM1_RCNTNTR` 和 `TIM1_RARR` 控制，主要用于电机驱动相对位置的超前/滞后换相控制。由 `TIM1_CR4[T1LEAD_ANG]` 设置超前/滞后的角度，Timer1 会根据输入的角度值，自动更新 `TIM1_RARR`。

当 `TIM1_RCNTNTR` 计数到 `TIM1_RARR` 时触发重载计数器上溢事件，此时重载计数器上溢标志 `TIM1_SR[T1ROIF]` 置 1，重载计数器停止工作，若使能重载计数器上溢中断，则该标志将触发重载计数器上溢中断。

重载计数器的重载模式由 `TIM1_CR0[T1RCMM]` 设置，可选择自动重载或手动重载。当选择手动重载模式时，重载计数器停止工作后，用户需要手动更新 `TIM1_RARR` 和手动使能重载计数器；当选择自动重载模式时，`TIM1_RARR` 将在重载计数器停止工作后根据当前的软切换状态自动更新，且重载计数器重新开始工作的时机将由 Timer1 决定。

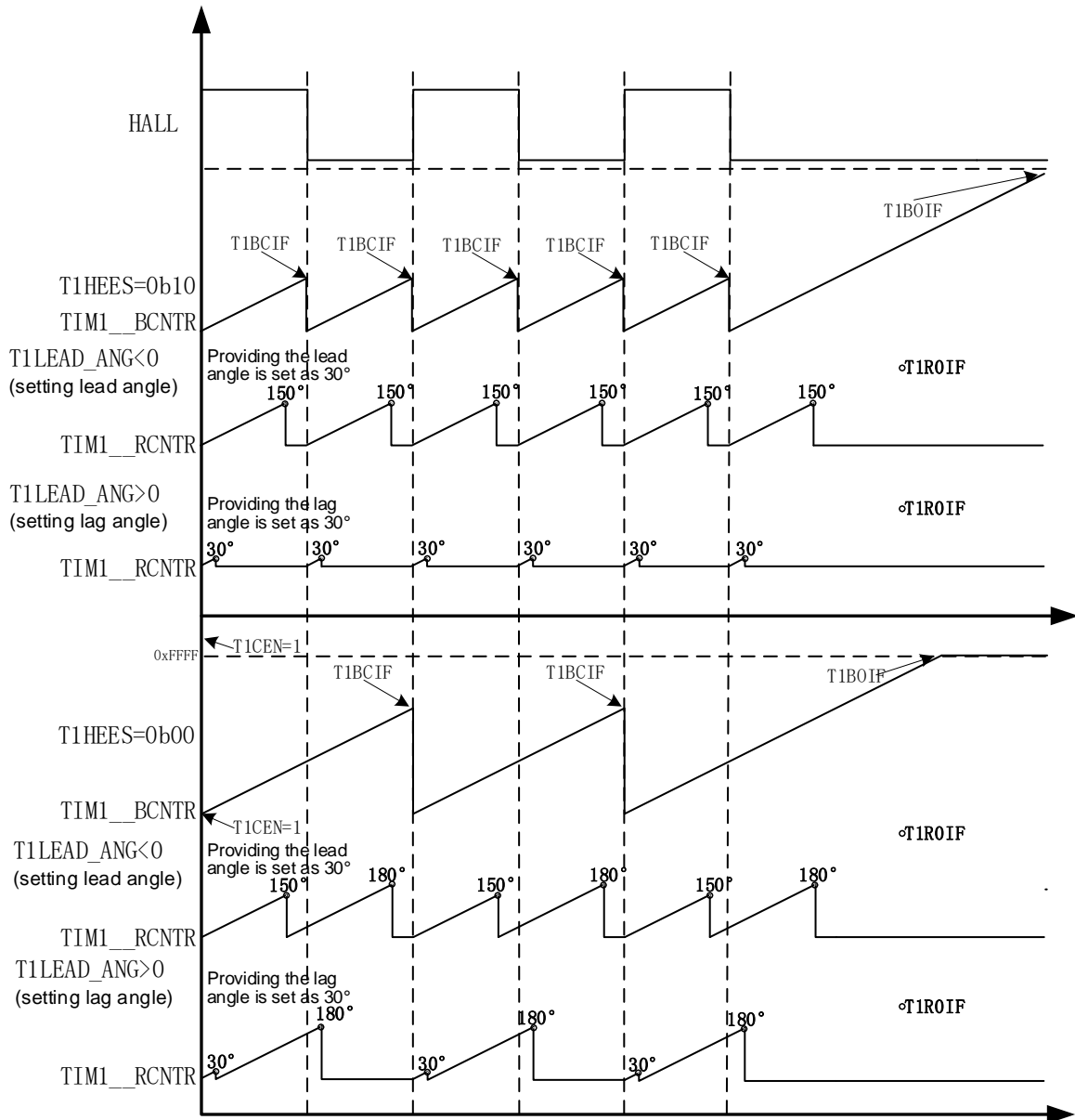


图 10-3 重载计数器计数波形图

10.1.1.4 过程计数器

过程计数器是一个 16 位向上计数的计数器，由寄存器 TIM1_SCNTR 和 TIM1_SARR 控制，主要用于控制换相的软切换和堵转检测。软切换过程中的下坡、平台、上坡角度分别由 TIM1_CR1[T1FANG]、TIM1_CR2[T1BANG]、TIM1_CR3[T1RANG]和 TIM1_CR9[T1SDSEL]设置。Timer1 会根据以上设置值及当前运行状态，自动更新 TIM1_SARR。

当 TIM1_SCNTR 计数到 TIM1_SARR 时触发过程计数器上溢事件，此时过程计数器上溢标志 TIM1_SR[T1SOIF]置 1，过程计数器停止工作，若使能过程计数器上溢中断，则该标志将触发过程计

数器上溢中断。在软切换的下坡过程中，过程计数器计数上溢后，过程计数器停止计数。

过程计数器的重载模式由 `TIM1_CR0[T1SCMM]` 设置，可选择自动重载或手动重载。当选择手动重载模式时，过程计数器停止工作后，用户需要手动更新 `TIM1__SARR` 和手动使能过程计数器；当选择自动重载模式时，`TIM1__SARR` 将在过程计数器停止工作后自动更新，且当重载计数器溢出标志 `TIM1_SR[T1ROIF]` 置 1 时过程计数器重新开始工作。

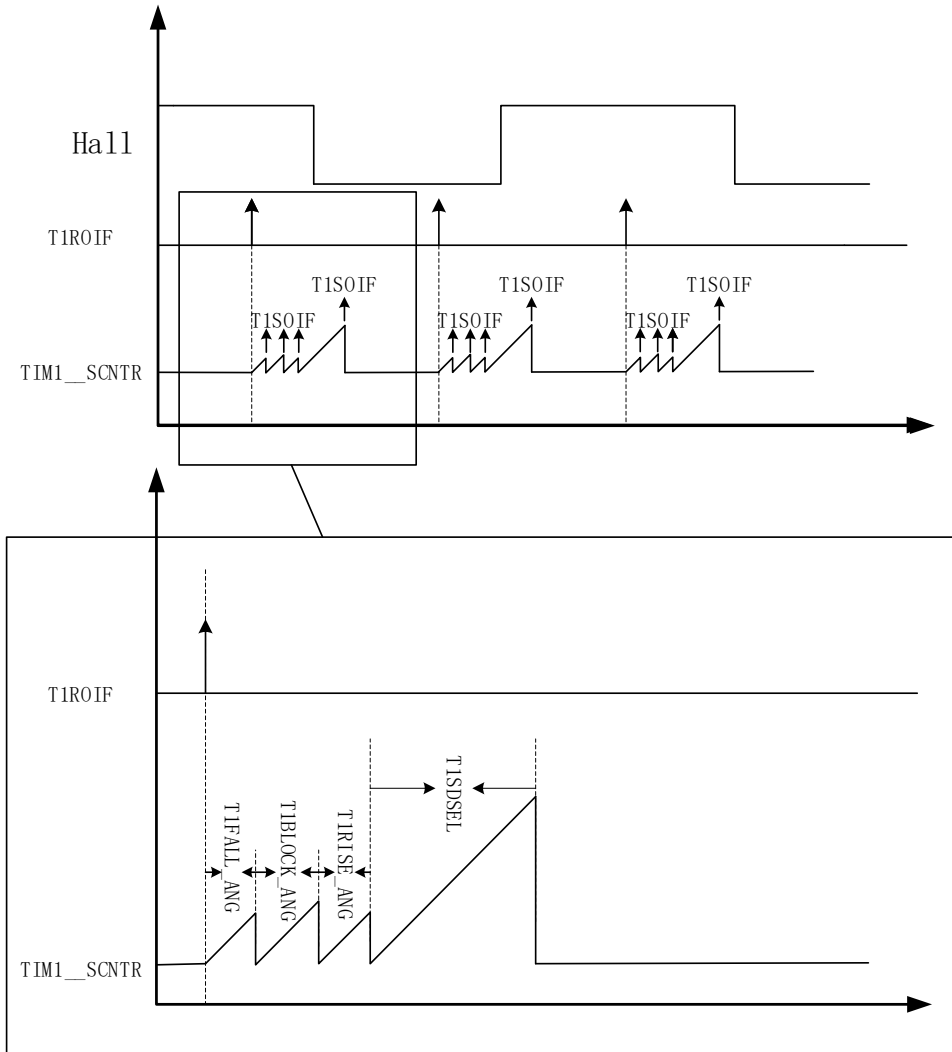


图 10-4 过程计数器计数波形图

10.1.2 输入滤波

Hall 信号通过比较器或者 GPIO 输入后，通过设置 TIM1_CR4[T1HALLINM]可选择是否进行滤波。可选的滤波宽度为 16/32/64/256 个系统时钟，下图为当滤波宽度为 16 个系统时钟时，Hall 信号滤波前后的波形示意图。

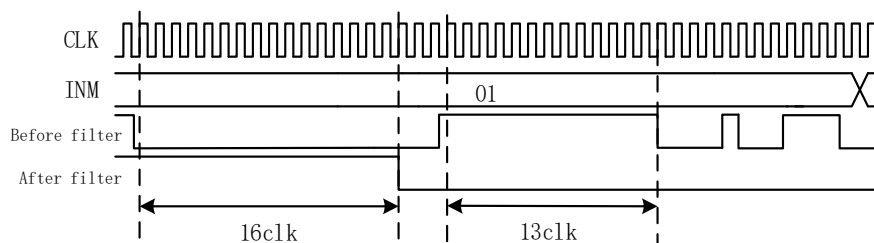


图 10-5 滤波模块时序图

10.1.3 Timer1 中断

Timer1 有 7 个中断请求源：

1. 基本计数器的上溢中断
2. 基本计数器的捕获中断
3. 重载计数器的上溢中断
4. 过程计数器的上溢中断
5. 写入时序中断
6. 位置检测中断
7. 堵转检测中断

配置 TIM1_IRE 对应的中断使能位可以使能对应的中断请求。

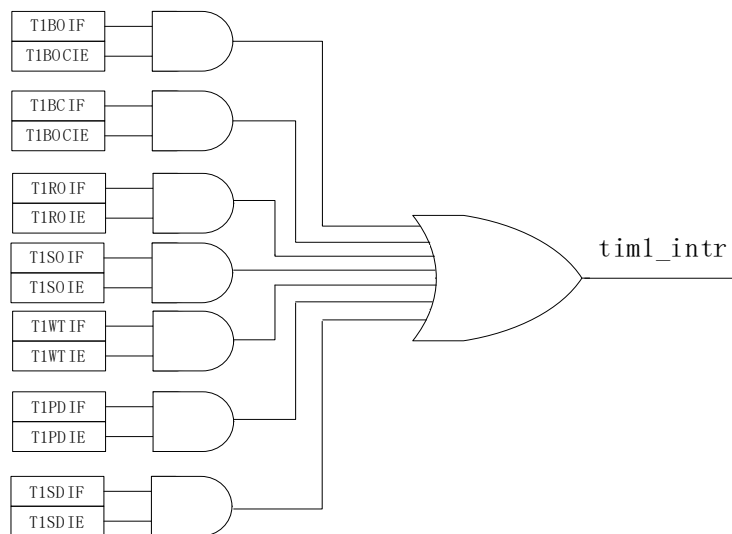


图 10-6 Timer1 中断源

10.1.4 软切换

软切换主要用于单相电机的换相控制，旨在减少电机换相过程中出现的电流突变和电压过冲。进行软切换时，Timer1 将按顺序执行下坡、平台、上坡 3 个过程。在下坡过程中，Driver 输出从期望输出开始逐渐降低，以降低相电压，此时电机开始释放其定子线圈中储存的能量；下坡过程完成后，进入平台过程，同时电机换相，此时 Driver 不再输出 PWM 驱动信号，电机继续释放其定子线圈中储存的能量；最后执行上坡过程，Driver 逐渐增大输出，直到达到期望输出。在以上换相过程中，下坡和平台过程可以有效缓解换相时引起的电压过冲；上坡过程可以有效缓解换相时引起的电流突变。

当 $TIM1_CR8[T1CST] = 2/3$ 时， $TIM1_CR8[T1CST]$ 指示电机当前处于哪一个 180° 区间。此时，若处于平台状态下，Timer1 会关闭 PWM 输出，并根据 $TIM1_CR8[T1CST]$ 选择对应的 $TIM1_DBRB[7:4]/TIM1_DBRB[3:0]$ 控制输出极性。若不处于平台状态下， $TIM1_CR8[T1CST]$ 选择对应的 $TIM1_DBR2/3$ 来控制 Driver 的输出。 $TIM1_PWMDR$ 指示当前 PWM 输出占空比。当处于下坡/上坡状态时， $TIM1_FPWMDDR/TIM1_RPWMDDR$ 用于控制占空比减量/增量。 DRV_DR 决定 $TIM1_PWMDR$ 递增的上限，并在进入堵转检测状态时，由硬件装载到 $TIM1_PWMDR$ 。软件对 $TIM1_CR8[T1CST]$ 写 2 或 3，使 Timer1 进入自动换相状态。每当发生换相时， $TIM1_CR8[T1CST]$ 自动从 2 变成 3 或从 3 变成 2。

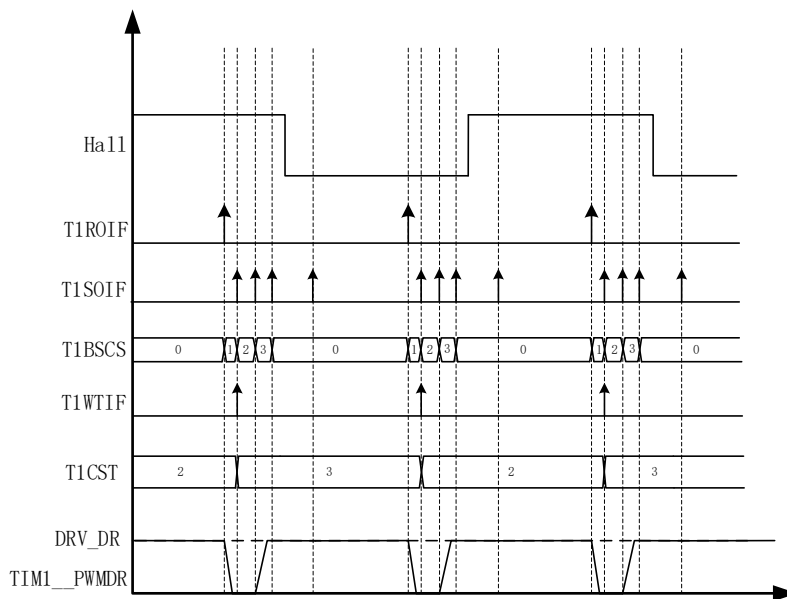


图 10-7 软切换和堵转检测

如图 10-7 所示，在初始时刻，TIM1_CR8[T1CST]为 2，TIM1_CR9[T1BSCS]为 0。此时，由 TIM1_DBR2 控制 Driver 的输出。当重载计数器上溢后，过程计数器清 0 并启动计数，同时进入下坡状态。TIM1_PWMDR 每个载波周期递减 1 次，步进值由 TIM1_FPWMDDR 决定，递减的下限为 0。当过程计数器上溢后，过程计数器清 0 并重新开始计数。同时，产生写入时序事件，写入时序中断事件标志位 TIM1_SR[T1WTIF]置 1，TIM1_CR8[T1CST]硬件更新成 3，并进入平台状态。在该状态下，TIM1_PWMDR 固定为 0，使 PWM 占空比为 0，相当于不使能 PWM 输出，并由 TIM1_DBRB[7:4]控制 Driver 的输出。当过程计数器上溢后，过程计数器清 0 并重新开始计数，并进入上坡状态，由 TIM1_DBR3 控制 Driver 的输出。TIM1_PWMDR 每个载波周期递增一次，步进值由 TIM1_RPWMDR 决定，TIM1_PWMDR 的上限为 DRV_DR。当过程计数器上溢后，过程计数器清 0 并重新开始计数，同时转换成堵转检测状态，TIM1_PWMDR 固定为 DRV_DR。

10.1.5 堵转检测

堵转检测的原理是检测 Hall 信号是否在驱动控制下变成期望的电平值，如果没变，即意味着转子位置没有变化，发生了堵转。在电机正常运转的过程中，Hall 信号也应该随着 TIM1_CR8[T1CST]的变化而发生电平变化。如果在换相后的一段时间内检测到 Hall 信号的电平值没有变成 TIM1_CR8[T1CST]所对应的电平值，堵转检测中断标志 TIM1_SR[T1SDIF]置 1。当 TIM1_CR8[T1CST]为 2 时，Hall 信号的电平值应变为高电平，当 TIM1_CR8[T1CST]为 3 时，Hall 信号的电平值应变为低电平。这段时间称为堵转检测时间，由 TIM1_CR9[T1SDSEL]设定。

如图 10-7 所示，当处于堵转检测状态下，过程计数器计数上溢后停止计数。此时，如果 TIM1_CR8[T1CST]为 2 且 Hall 信号输入仍是低电平，或者 TIM1_CR8[T1CST]为 3 且 Hall 信号输入

仍是高电平，意味着转子没有转到期望的位置，堵转检测中断标志 TIM1_SR[T1SDIF]置 1。

10.1.6 刹车

软件可以对 TIM1_CR8[T1CST]写 1 以进入刹车状态。在刹车状态下，U、V 相上管关闭，下管开启。

10.2 Timer1 寄存器

10.2.1 TIM1_CR0 (0xB1)

位	7	6	5	4	3	2	1	0
名称	RSV		T1RCMM	T1SCMM	T1CFLT		T1BCMD	T1CEN
类型	-	-	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	-	1	1	0	0	0	0
位	名称	描述						
[7:6]	RSV	保留						
[5]	T1RCMM	重载计数器手动模式使能 0: 使能自动模式 1: 使能手动模式						
[4]	T1SCMM	过程计数器手动模式使能 0: 使能自动模式 1: 使能手动模式						
[3:2]	T1CFLT	TIM1_BCOR求平均选择 00: 前1个TIM1_BCCR平均后写入TIM1_BCOR 01: 前2个TIM1_BCCR平均后写入TIM1_BCOR 10: 前4个TIM1_BCCR平均后写入TIM1_BCOR 11: 前8个TIM1_BCCR平均后写入TIM1_BCOR						
[1]	T1BCMD	基本计数器清0信号来源配置 0: Hall有效沿 1: 手动控制						
[0]	T1CEN	基本计数器的计数器使能 0: 不使能 1: 使能						

10.2.2 TIM1_CR1 (0xB2)

位	7	6	5	4	3	2	1	0
名称	T1RCENWE	T1RCEN	T1FANG					
类型	W1	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[7]	T1RCENWE	TIM1_CR1[T1RCEN]写使能位 0: 无意义 1: 在操作TIM1_CR1时，TIM1_CR1[T1RCENWE]必须与TIM1_CR1[T1RCEN]同时操作，TIM1_CR1[T1RCEN]才能使能和不使能。对TIM1_CR1写0xC0使能TIM1_CR1[T1RCEN]，写0x80不使能TIM1_CR1[T1RCEN]。						
[6]	T1RCEN	重载计数器的计数器使能 在操作TIM1_CR1时，TIM1_CR1[T1RWEN]必须与TIM1_CR1[T1RCEN]同时操作，						

		TIM1_CR1[T1RCEN] 才能使能和禁止。对 TIM1_CR1 写 0xC0 使能 TIM1_CR1[T1RCEN]，写 0x80 不使能 TIM1_CR1[T1RCEN]。 0: 不使能 1: 使能
[5:0]	T1FANG	下坡角度设置 [0,63]对应[0° , 90°]

10.2.3 TIM1_CR2 (0xB3)

位	7	6	5	4	3	2	1	0
名称	RSV		T1BANG					
类型	-	-	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	-	0	0	0	0	0	0
位	名称		描述					
[7:6]	RSV		保留					
[5:0]	T1BANG		平台角度设置 [0,63]对应[0° , 90°]					

10.2.4 TIM1_CR3 (0xB4)

位	7	6	5	4	3	2	1	0
名称	T1SCENWE	T1SCEN	T1RANG					
类型	W1	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称		描述					
[7]	T1SCENWE		TIM1_CR3[T1SCEN]写使能位 0: 无意义 1: 在操作TIM1_CR3时，TIM1_CR3[T1SCENWE]必须与TIM1_CR3[T1SCEN]同时操作，TIM1_CR3[T1SCEN]才能使能和不使能。对TIM1_CR3写0xC0使能TIM1_CR3[T1SCEN]，写0x80不使能TIM1_CR3[T1SCEN]。					
[6]	T1SCEN		过程计数器使能 在操作TIM1_CR3时，TIM1_CR3[T1SCENWE]必须与TIM1_CR3[T1SCEN]同时操作，TIM1_CR3[T1SCEN]才能使能和不使能。对TIM1_CR3写0xC0使能TIM1_CR3[T1SCEN]，写0x80不使能TIM1_CR3[T1SCEN]。 0: 不使能 1: 使能					
[5:0]	T1RANG		上坡角度设置 [0, 63]对应[0° , 90°]					

10.2.5 TIM1_CR4 (0xB5)

位	7	6	5	4	3	2	1	0
名称	T1LEAD_ANG							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称		描述					
[7:0]	T1LEAD_ANG		换相提前/滞后角设置 0 ~ 128对应滞后角0° ~ 90° 0 ~ -128对应提前角0° ~ 90°					

10.2.6 TIM1_CR5 (0xB6)

位	7	6	5	4	3	2	1	0
名称	RSV	T1HREN	T1HALLINM		RSV		T1HEES	
类型	-	R/W	R/W	R/W	-	-	R/W	R/W
复位值	-	0	0	0	-	-	0	0

位	名称	描述
[7]	RSV	保留
[6]	T1HREN	HALL反向使能 0: 正常 1: HALL反向使能
[5:4]	T1HALLINM	Hall输入滤波配置 00: 16个系统时钟周期 01: 32个系统时钟周期 10: 64个系统时钟周期 11: 256个系统时钟周期
[3:2]	RSV	保留
[1:0]	T1HEES	Hall有效沿控制(电机换相信号来源配置成Hall, 即TIM1_CR0[T1BCMD] = 0) 00: 上升沿 01: 下降沿 10: 双沿 11: 保留

10.2.7 TIM1_CR8 (0xC1)

位	7	6	5	4	3	2	1	0
名称	T1HALLIN	T1BEMFIN	RSV				T1CST	
类型	R	R	-	-	-	-	R/W	R/W
复位值	0	0	-	-	-	-	0	0

位	名称	描述
[7]	T1HALLIN	Hall滤波结果 0: Hall滤波后输入为低 1: Hall滤波后输入为高
[6]	T1BEMFIN	BEMF比较器CMPO滤波结果 0: BEMF滤波后输入为低 1: BEMF滤波后输入为高
[5:2]	RSV	保留
[1:0]	T1CST	Timer1 输出状态控制 00: 空闲输出 01: 刹车输出 10: 输出状态 2 11: 输出状态 3 注: 过程计数器在自动模式下, 输出状态 2 与输出状态 3 自动循环切换

10.2.8 TIM1_CR9 (0xDC)

位	7	6	5	4	3	2	1	0
名称	T1BSCS		T1SDSEL		RSV			

类型	R	R	R/W	R/W	-	-	-	-
复位值	0	0	0	0	-	-	-	-
位	名称	描述						
[7:6]	T1BSCS	过程计数器状态标志位 00: 当前处于堵转检测状态 01: 当前处于软切换下坡状态 10: 当前处于软切换平台状态 11: 当前处于软切换上坡状态						
[5:4]	T1SDSEL	堵转检测中断触发角度(上坡完成开始计数)设置在TIM1_CR9[T1SDSEL]所指定的区间内, 对应的Hall电平未到来, 则触发堵转检测中断。 00: 0° 01: 45° 10: 90° 11: 135°						
[3:0]	RSV	保留						

10.2.9 TIM1_CR10 (0xDD)

位	7	6	5	4	3	2	1	0
名称	RSV					T1PSC		
类型	-	-	-	-	-	R/W	R/W	R/W
复位值	-	-	-	-	-	0	0	0
位	名称	描述						
[7:3]	RSV	保留						
[2:0]	T1PSC	计数器时钟分频选择 用于对系统时钟进行分频, 作为基本计数器、重载计数器和过程计数器的时钟源; 三个计数器的时钟源频率为: 000: 24MHz 001: 12MHz 010: 6MHz 011: 3MHz 100: 1.5MHz 101: 750kHz 110: 375kHz 111: 375kHz						

10.2.10 TIM1_IRE (0xD1)

位	7	6	5	4	3	2	1	0
名称	RSV		T1BOCIE	T1SDIE	T1ROIE	T1WTIE	T1PDIE	T1SOIE
类型	-	-	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	-	0	0	0	0	0	0
位	名称	描述						
[7:6]	RSV	保留						
[5]	T1BOCIE	基本计数器上溢和捕获中断使能 0: 不使能 1: 使能						
[4]	T1SDIE	堵转检测中断使能 0: 不使能 1: 使能						
[3]	T1ROIE	重载计数器上溢中断使能 0: 不使能 1: 使能						

[2]	T1WTIE	写入时序中断使能 0: 不使能 1: 使能
[1]	T1PDIE	位置检测中断使能 0: 不使能 1: 使能
[0]	T1SOIE	过程计数器上溢中断使能 0: 不使能 1: 使能

10.2.11 TIM1_SR (0xD4)

位	7	6	5	4	3	2	1	0
名称	RSV	T1BOIF	T1BCIF	T1SDIF	T1ROIF	T1WTIF	T1PDIF	T1SOIF
类型	-	R/WO	R/WO	R/WO	R/WO	R/WO	R/WO	R/WO
复位值	-	0	0	0	0	0	0	0

位	名称	描述
[7]	RSV	保留
[6]	T1BOIF	基本计数器上溢中断标志位 基本计数器向上计数时，当TIM1_BCNTN计数器的值等于0xFFFF时，发生上溢事件 读： 0: 未发生中断事件 1: 发生中断事件 写： 0: 清0 1: 无意义
[5]	T1BCIF	基本计数器捕获中断标志位 当基本计数器收到计数器复位信号时，发生基本计数器捕获事件 读： 0: 未发生中断事件 1: 发生中断事件 写： 0: 清0 1: 无意义
[4]	T1SDIF	堵转检测中断标志位 当处于堵转检测状态下，如果Hall信号输入电平在过程计数器计数上溢后与TIM1_CR8[T1CST]所对应的电平不一致，发生堵转检测事件。 读： 0: 未发生中断事件 1: 发生中断事件 写： 0: 清0 1: 无意义
[3]	T1ROIF	重载计数器上溢中断标志位 当TIM1_RCNTN与TIM1_RARR比较匹配时，发生上溢事件，TIM1_RCNTN清0 读： 0: 未发生中断事件

		1: 发生中断事件 写: 0: 清0 1: 无意义
[2]	T1WTIF	写入时序中断标志位 在下坡状态下, 当过程计数器上溢后, 发生写入时序事件 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清0 1: 无意义
[1]	T1PDIF	位置检测中断标志位 当检测到Hall信号有效沿时, 发生位置检测事件 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清0 1: 无意义
[0]	T1SOIF	过程计数器上溢中断标志位 当TIM1_SCNTR与TIM1_SARR比较匹配时, 发生上溢事件, TIM1_SCNTR清0 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清0 1: 无意义

10.2.12 TIM1_DBR2 (0xBA)

位	7	6	5	4	3	2	1	0
名称	T1VHP	T1VLP	T1UHP	T1ULP	T1VHE	T1VLE	T1UHE	T1ULE
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[7]	T1VHP	输出状态 2(除软切换平台外)有效 V相上桥输出极性 0: 高电平有效 1: 低电平有效						
[6]	T1VLP	输出状态 2(除软切换平台外)有效 V相下桥输出极性 0: 高电平有效 1: 低电平有效						
[5]	T1UHP	输出状态 2(除软切换平台外)有效 U相上桥输出极性 0: 高电平有效 1: 低电平有效						

[4]	T1ULP	输出状态 2(除软切换平台外)有效 U相下桥输出极性 0: 高电平有效 1: 低电平有效
[3]	T1VHE	输出状态 2(除软切换平台外)有效 V相上桥输出使能 0: 不使能 1: 使能
[2]	T1VLE	输出状态 2(除软切换平台外)有效 V相下桥输出使能 0: 不使能 1: 使能
[1]	T1UHE	输出状态 2(除软切换平台外)有效 U相上桥输出使能 0: 不使能 1: 使能
[0]	T1ULE	输出状态 2(除软切换平台外)有效 U相下桥输出使能 0: 不使能 1: 使能

10.2.13 TIM1_DBR3 (0xBB)

位	7	6	5	4	3	2	1	0
名称	T1VHP	T1VLP	T1UHP	T1ULP	T1VHE	T1VLE	T1UHE	T1ULE
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[7]	T1VHP	输出状态 3(除软切换平台外)有效 V相上桥输出极性 0: 高电平有效 1: 低电平有效						
[6]	T1VLP	输出状态 3(除软切换平台外)有效 V相下桥输出极性 0: 高电平有效 1: 低电平有效						
[5]	T1UHP	输出状态 3(除软切换平台外)有效 U相上桥输出极性 0: 高电平有效 1: 低电平有效						
[4]	T1ULP	输出状态 3(除软切换平台外)有效 U相下桥输出极性 0: 高电平有效 1: 低电平有效						
[3]	T1VHE	输出状态 3(除软切换平台外)有效 V相上桥输出使能 0: 不使能 1: 使能						
[2]	T1VLE	输出状态 3(除软切换平台外)有效 V相下桥输出使能 0: 不使能						

		1: 使能
[1]	T1UHE	输出状态 3(除软切换平台外)有效 U相上桥输出使能 0: 不使能 1: 使能
[0]	T1ULE	输出状态 3(除软切换平台外)有效 U相下桥输出使能 0: 不使能 1: 使能

10.2.14 TIM1_DBRB (0xDE)

位	7	6	5	4	3	2	1	0
名称	T1C3VHP	T1C3VLP	T1C3UHP	T1C3ULP	T1C2VHP	T1C2VLP	T1C2UHP	T1C2ULP
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述
[7]	T1C3VHP	输出状态 3 的软切换平台有效 V相上桥输出极性 0: 高电平有效 1: 低电平有效
[6]	T1C3VLP	输出状态 3 的软切换平台有效 V相下桥输出极性 0: 高电平有效 1: 低电平有效
[5]	T1C3UHP	输出状态 3 的软切换平台有效 U相上桥输出极性 0: 高电平有效 1: 低电平有效
[4]	T1C3ULP	输出状态 3 的软切换平台有效 U相下桥输出极性 0: 高电平有效 1: 低电平有效
[3]	T1C2VHP	输出状态 2 的软切换平台有效 V相上桥输出极性 0: 高电平有效 1: 低电平有效
[2]	T1C2VLP	输出状态 2 的软切换平台有效 V相下桥输出极性 0: 高电平有效 1: 低电平有效
[1]	T1C2UHP	输出状态 2 的软切换平台有效 U相上桥输出极性 0: 高电平有效 1: 低电平有效
[0]	T1C2ULP	输出状态 2 的软切换平台有效 U相下桥输出极性 0: 高电平有效 1: 低电平有效

10.2.15 TIM1__BCNTR (0xD2, 0xD3)

TIM1__BCNTRH(0xD3)								
位	15	14	13	12	11	10	9	8
名称	TIM1__BCNTR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM1__BCNTRL(0xD2)								
位	7	6	5	4	3	2	1	0
名称	TIM1__BCNTR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM1__BCNTR	基本计数器的计数值，用于两个相邻Hall有效沿时间间隔的计数						

10.2.16 TIM1__BCOR (0xC2, 0xC3)

TIM1__BCORH(0xC3)								
位	15	14	13	12	11	10	9	8
名称	TIM1__BCOR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM1__BCORL(0xC2)								
位	7	6	5	4	3	2	1	0
名称	TIM1__BCOR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM1__BCOR	基本计数器捕获值的滤波结果 内部寄存器 TIM1_BCCR 计算滤波后的值，即 Hall 电平脉宽基准值						

10.2.17 TIM1__RCNTR (0xBC, 0xBD)

TIM1__RCNTRH(0xBD)								
位	15	14	13	12	11	10	9	8
名称	TIM1__RCNTR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM1__RCNTRL(0xBC)								
位	7	6	5	4	3	2	1	0
名称	TIM1__RCNTR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM1__RCNTR	重载计数器计数值						

10.2.18 TIM1_RARR (0xBE, xBF)

TIM1_RARRH(0xBF)								
位	15	14	13	12	11	10	9	8
名称	TIM1_RARRH[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM1_RARRL(0xBE)								
位	7	6	5	4	3	2	1	0
名称	TIM1_RARRL[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM1_RARR	重载计数器上溢值						

10.2.19 TIM1_SCNTR (0xC4, 0xC5)

TIM1_BSCNTRH(0xC5)								
位	15	14	13	12	11	10	9	8
名称	TIM1_SCNTR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM1_SCNTRL(0xC4)								
位	7	6	5	4	3	2	1	0
名称	TIM1_SCNTR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM1_SCNTR	过程计数器计数值						

10.2.20 TIM1_SARR (0xC6, 0xC7)

TIM1_SARRH(0xC7)								
位	15	14	13	12	11	10	9	8
名称	TIM1_SARR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1
TIM1_SARRL(0xC6)								
位	7	6	5	4	3	2	1	0
名称	TIM1_SARR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1
位	名称	描述						
[15:0]	TIM1_SARR	过程计数器上溢值						

10.2.21 TIM1_FPWMDDR (0xCC, 0xCD)

TIM1_FPWMDDRH(0xCD)								
---------------------	--	--	--	--	--	--	--	--

位	15	14	13	12	11	10	9	8
名称	TIM1_FPWMDR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM1_FPWMDR(0xCC)								
位	7	6	5	4	3	2	1	0
名称	TIM1_FPWMDR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM1_FPWMDR	每个载波周期 TIM1_PWMDR 的占空比减量, 控制下坡速率。占空比减量 = $TIM1_FPWMDR/16/DRV_ARR*100\%$						

10.2.22 TIM1_PWMDR (0xCA, 0xCB)

TIM1_PWMDR(0xCB)								
位	15	14	13	12	11	10	9	8
名称	TIM1_PWMDR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM1_PWMDR(0xCA)								
位	7	6	5	4	3	2	1	0
名称	TIM1_PWMDR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM1_PWMDR	PWM 输出占空比 占空比 = $TIM1_PWMDR/16/DRV_ARR*100\%$						

10.2.23 TIM1_RPWMDR (0xCE, 0xCF)

TIM1_RPWMDR(0xCF)								
位	15	14	13	12	11	10	9	8
名称	TIM1_RPWMDR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM1_RPWMDR(0xCE)								
位	7	6	5	4	3	2	1	0
名称	TIM1_RPWMDR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM1_RPWMDR	每个载波周期 TIM1_PWMDR 的占空比增量, 控制上坡速率 占空比增量 = $TIM1_FPWMDR/16/DRV_ARR*100\%$						

11 Timer2

11.1 Timer2 操作说明

Timer2 支持输出和输入捕获两种模式：

- 输出模式：输出 PWM 波形
- 输入捕获模式：检测输入 PWM 高低电平的持续时间，可用于算出 PWM 占空比

Timer2 特性包括：

- 2位可编程分频器对系统时钟进行分频，作为基本计数器的时钟源
- 16 位向上计数的基本计数器，计数时钟源为分频器的输出
- 输入信号滤波
- 输入信号边沿检测
- 输出 PWM 信号，单次比较输出
- ADC 采样触发
- 中断事件

11.1.1 分频器

分频器对系统时钟进行分频，产生基本计数器的时钟源。分频器由 TIM2_CR0[T2PSC]控制，可选择 4 种分频系数。由于此控制寄存器没有缓冲器，分频系数更新后会立刻改变时钟源频率，所以应在基本计数器不工作时更新分频系数。时钟源的频率 $clk_psc2 = SYSCLK/(4^{TIM2_CR0[T2PSC]})$ ，分频后的时钟源频率与 TIM2_CR0[T2PSC]的关系如表 11-1 所示。

表 11-1 分频后的时钟源频率与 TIM2_CR0[T2PSC]对应关系

TIM2_CR0[T2PSC]	分频系数	clk_psc2(Hz)	TIM2_CR0[T2PSC]	分频系数	clk_psc2(Hz)
00	1	24M	10	16	1.5M
01	4	6M	11	64	375k

11.1.2 TIM2_CNTR 的读写和计数

配置 TIM2_CR1[T2CEN] = 1 时，TIM2_CNTR 开始计数。软件对 TIM2_CNTR 的写操作直接改变寄存器的值，因此软件需在执行写操作前禁止基本计数器。软件读 TIM2_CNTR 时，先读高字节，硬件会同步将此刻低字节缓存，待读低字节时读取到的是缓存的数据。

11.1.3 输出模式

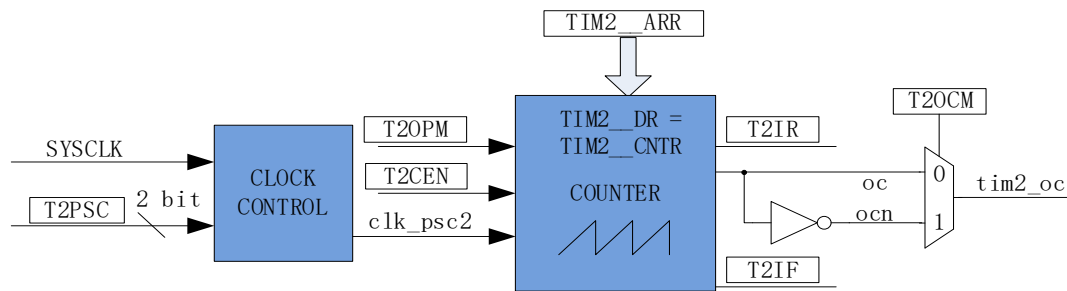


图 11-1 输出模式原理框图

基本计数器输出模式根据 `TIM2_CR0[T2OCM]` 设置，以及 `TIM2_CNTR` 与寄存器 `TIM2_DR`、`TIM2_ARR` 设定值的比较结果产生输出信号，同时产生相应中断。

11.1.3.1 高/低电平输出模式

配置 `TIM2_CR0[T2OCM] = 0` 时，如果 `TIM2_DR > TIM2_ARR`，输出信号始终为低电平。配置 `TIM2_CR0[T2OCM] = 1` 时，如果 `TIM2_DR > TIM2_ARR`，输出比较信号始终为高电平。

11.1.3.2 PWM 输出

PWM 输出模式下，`TIM2_ARR` 的设定值决定 PWM 周期，`TIM2_DR` 的设定值决定占空比，占空比 = $TIM2_DR / TIM2_ARR * 100\%$ 。配置 `TIM2_CR0[T2OCM] = 0` 时，如果基本计数器值 `TIM2_CNTR < TIM2_DR` 设定值，输出低电平，反之输出高电平。配置 `TIM2_CR0[T2OCM] = 1` 时，如果基本计数器值 `TIM2_CNTR < TIM2_DR` 设定值，输出高电平，反之输出低电平。如果基本计数器值 `TIM2_CNTR` 大于 `TIM2_ARR`，则输出信号反转。

11.1.3.3 ADC 采样触发

配置 `TIM2_CR0[ADC_TRIG_EN] = 1`，当 Timer2 产生上溢事件时，触发 ADC 采样，采样通道和采样周期由 ADC 模块决定。

11.1.3.4 中断事件

- 当 `TIM2_CNTR = TIM2_DR` 时，产生比较匹配事件，中断事件标志位 `TIM2_CR1[T2IR]` 置 1，基本计数器继续计数。
- 当 `TIM2_CNTR = TIM2_ARR` 时，产生上溢事件，中断事件标志位 `TIM2_CR1[T2IF]` 置 1，基本计数器清 0，`TIM2_CR0[T2OPM]` 决定是否重新计数，`TIM2_CR0[T2OPM] = 1`，停止计数；`TIM2_CR0[T2OPM] = 0`，重新开始计数。

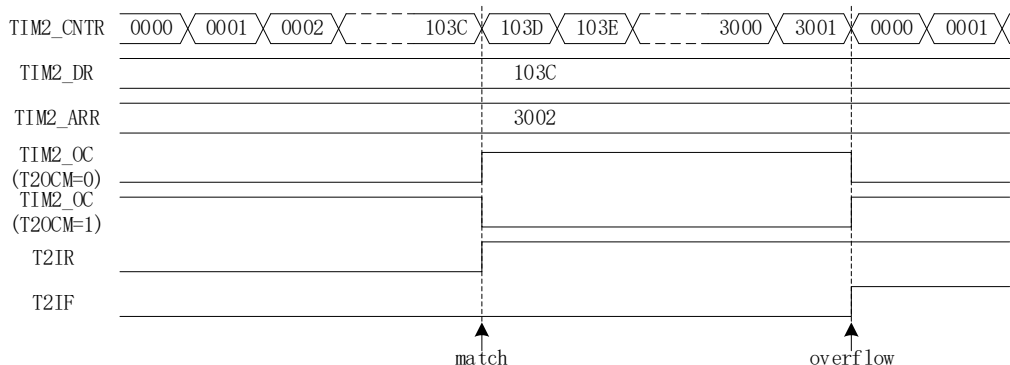


图 11-2 输出模式输出波形

11.1.4 输入信号滤波和边沿检测

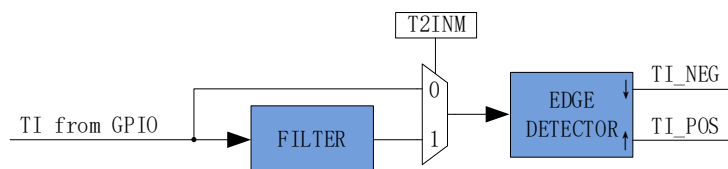


图 11-3 输入信号滤波和边沿检测框图

Timer2 的输入信号由 GPIO 输入，输入时可选择是否对输入信号进行噪声滤波。

TIM2_CR1[T2INM] 可以选择不滤波，或者 4/8/16 个系统时钟周期对输入信号滤波。滤波后的信号比滤波前的信号延迟 4/8/16 个时钟周期。

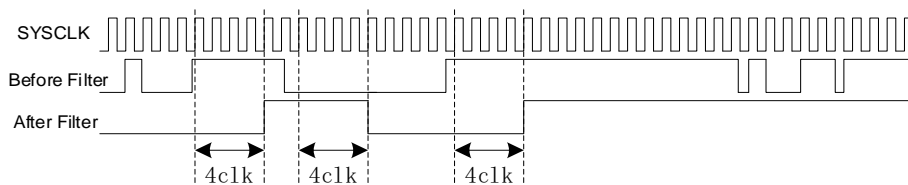


图 11-4 滤波模块时序图

边沿检测模块对经过滤波模块的输入信号进行检测，记录上升沿和下降沿，供输入捕获模式使用。

11.1.5 输入捕获模式

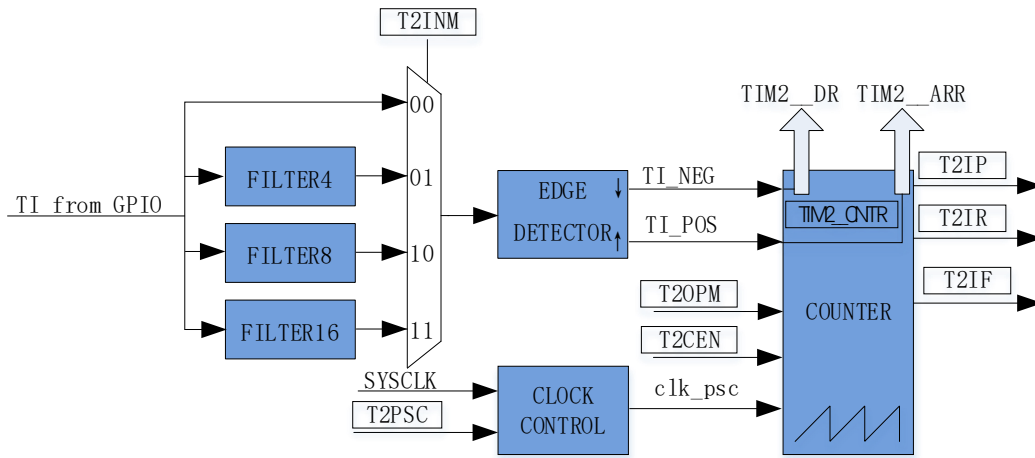


图 11-5 输入捕获模式原理框图

输入捕获模式检测输入 PWM 信号的脉宽和周期。配置 $TIM2_CR0[T2OCM] = 0$ 时，选择相邻两个上升沿为 1 个周期，上升沿到下降沿为脉宽(高电平脉宽)；配置 $TIM2_CR0[T2OCM] = 1$ 时，选择相邻两个下降沿为 1 个周期，下降沿到上升沿为脉宽(低电平脉宽)。当所定边沿到来时，计数值 $TIM2_CNTR$ 被分别存入 $TIM2_DR$ 和 $TIM2_ARR$ 中。输入信号可选择是否滤波。

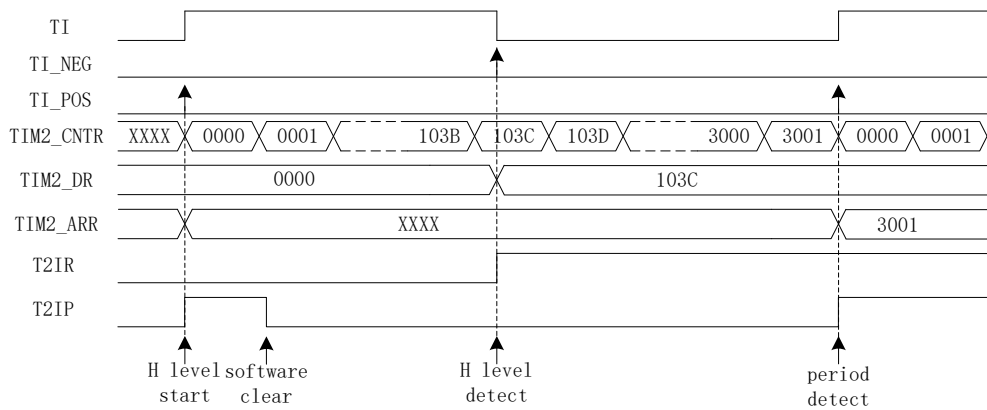


图 11-6 输入捕获模式($TIM2_CR0[T2OCM] = 0$)时序图

以 $TIM2_CR0[T2OCM] = 0$ 为例，配置 $TIM2_CR1[T2CEN] = 1$ ，使能基本计数器，基本计数器向上计数。当 Timer2 检测到输入的第一个上升沿时， $TIM2_CNTR$ 清 0 并重新计数。当检测到输入的下降沿时，将 $TIM2_CNTR$ 的值存入 $TIM2_DR$ ，同时中断事件标志位 $TIM2_CR1[T2IR]$ 置 1，基本计数器接着向上计数。当检测到输入的第二个上升沿时，将 $TIM2_CNTR$ 的值存入 $TIM2_ARR$ ，同时中断事件标志位 $TIM2_CR1[T2IP]$ 置 1， $TIM2_CNTR$ 清 0，根据 $TIM2_CR0[T2OPM]$ 的值决定是否重新计数， $TIM2_CR0[T2OPM] = 1$ 时，停止计数； $TIM2_CR0[T2OPM] = 0$ 时，重新计数。

当 Timer2 尚未检测到输入的第二个上升沿，且 $TIM2_CNTR$ 达到 $0xFFFF$ 时，发生上溢事件，

中断事件标志位 TIM2_CR1[T2IF]置 1, TIM2_CNTR 清 0, 根据 TIM2_CR0[T2OPM]的值决定是否重新计数, TIM2_CR0[T2OPM] = 1 时, 停止计数; TIM2_CR0[T2OPM] = 0 时, 重新计数。

11.2 Timer2 寄存器

11.2.1 TIM2_CR0 (0xA1)

位	7	6	5	4	3	2	1	0
名称	RSV	T2PSC		T2OCM	T2IRE	ADC_RTIG_EN	T2OPM	T2MOD
类型	-	R/W	R/W	R/W	R	R/W	R/W	R/W
复位值	-	0	0	0	0	0	0	0
位	名称	描述						
[7]	RSV	保留						
[6:5]	T2PSC	基本计数器时钟源分频选择 用于对系统时钟进行分频, 作为基本计数器的时钟源; 分频后的时钟源频率为: 00: 24MHz 01: 6MHz 10: 1.5MHz 11: 375kHz						
[4]	T2OCM	输出模式: 输出模式选择 0: TIM2_CNTR < TIM2_DR, 输出 0; TIM2_CNTR ≥ TIM2_DR, 输出 1 1: TIM2_CNTR < TIM2_DR, 输出 1; TIM2_CNTR ≥ TIM2_DR, 输出 0 输入捕获模式: 有效沿选择 0: 相邻两个上升沿为 1 个周期, 上升沿到下降沿为脉宽(高电平脉宽) 1: 相邻两个下降沿为 1 个周期, 下降沿到上升沿为脉宽(低电平脉宽)						
[3]	T2IRE	输出模式: 比较匹配中断使能 输入捕获模式: 脉宽检测中断使能 0: 不使能 1: 使能						
[2]	ADC_RTIG_EN	ADC 采样触发使能 0: 不使能 1: 使能						
[1]	T2OPM	单次模式 下列事件发生时, 基本计数器停止计数使能 输出模式: 基本计数器上溢事件 输入捕获模式: PWM 周期检测或基本计数器上溢事件 0: 基本计数器不停止 1: 基本计数器停止(TIM2_CR1[T2EN]清 0)						
[0]	T2MOD	工作模式选择 0: 输入捕获模式 1: 输出模式						

11.2.2 TIM2_CR1 (0xA9)

位	7	6	5	4	3	2	1	0
名称	T2IR	T2IP	T2IF	T2IPE	T2IFE	T2INM		T2CEN
类型	R/WO	R/WO	R/WO	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						

[7]	T2IR	输出模式：比较匹配中断事件标志位 输入捕获模式：脉宽检测中断事件标志位 读 0：未发生中断事件 1：发生中断事件 写： 0：清0 1：无意义
[6]	T2IP	输出模式：无意义 输入捕获模式：PWM周期检测中断事件标志位 读 0：未发生中断事件 1：发生中断事件 写： 0：清0 1：无意义
[5]	T2IF	输出模式：基本计数器上溢中断事件标志位。当基本计数器值 TIM2_CNTR = TIM2_ARR 时置1。 输入捕获模式：基本计数器上溢中断事件标志位。Timer2 尚未检测到一个 PWM 周期，而基本计数器值 TIM2_CNTR 累加到 0xFFFF 时置1。 读： 0：未发生中断事件 1：发生中断事件 写： 0：清0 1：无意义
[4]	T2IPE	输出模式：无意义 输入捕获模式：PWM周期检测中断使能 0：不使能 1：使能
[3]	T2IFE	输出模式：基本计数器上溢中断使能 输入捕获模式：基本计数器上溢中断使能 0：不使能 1：使能
[2:1]	T2INM	输入信号滤波脉宽选择 当输入信号的脉宽小于设定值，被当作噪声滤除 00：不滤波 01：4个系统时钟周期 10：8个系统时钟周期 11：16个系统时钟周期
[0]	T2CEN	基本计数器使能 0：不使能 1：使能

11.2.3 TIM2_CNTR (0xAA, 0xAB)

TIM2_CNTRH(0xAB)								
位	15	14	13	12	11	10	9	8
名称	TIM2_CNTR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM2_CNTRL(0xAA)								

位	7	6	5	4	3	2	1	0
名称	TIM2_CNTR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM2_CNTR	基本计数器的计数值						

11.2.4 TIM2_DR (0xAC, 0xAD)

TIM2_DRH(0xAD)								
位	15	14	13	12	11	10	9	8
名称	TIM2_DR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM2_DRL(0xAC)								
位	7	6	5	4	3	2	1	0
名称	TIM2_DR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM2_DR	输出模式：比较匹配值(软件写) 输入捕获模式：检测到的输入脉宽的计数值(硬件写)						

11.2.5 TIM2_ARR (0xAE, 0xAF)

TIM2_ARRH(0xAF)								
位	15	14	13	12	11	10	9	8
名称	TIM2_ARR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM2_ARRL(0xAE)								
位	7	6	5	4	3	2	1	0
名称	TIM2_ARR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM2_ARR	输出模式：PWM 波形周期(软件写) 输入捕获模式：检测到的一个 PWM 周期的计数值(硬件写)						

12 Timer3

12.1 Timer3 操作说明

Timer3 支持输出和输入捕获两种模式：

- 输出模式：输出PWM波形
- 输入捕获模式：检测输入PWM高低电平的持续时间，可用于算出PWM占空比

Timer3 特性包括：

- 2位可编程分频器对系统时钟进行分频，作为基本计数器的时钟源(Timer3作为输入捕获时可以倍频至48MHz)。
- 16位向上计数的基本计数器，计数时钟源为分频器的输出
- 输入信号滤波
- 输入信号边沿检测
- 输出PWM信号，单次比较输出
- 中断事件

12.1.1 分频器

分频器对系统时钟进行分频，产生基本计数器的计数时钟源，分频器由 TIM3_CR0[T3PSC]控制，可选择 4 种分频系数。由于此控制寄存器没有缓冲器，分频系数更新后会立刻改变计数时钟源频率，所以应在基本计数器不工作时更新分频系数。时钟源的频率 $clk_psc3 = SYSCLK/(4^{TIM3_CR0[T3PSC]})$ ，分频后的时钟源频率与 TIM3_CR0[T3PSC]的关系如表 12-1 所示。

表 12-1 分频后的时钟源频率与 TIM3_CR0[T3PSC]对应关系

TIM3_CR0[T3PSC]	分频系数	clk_psc3(Hz)	TIM3_CR0[T3PSC]	分频系数	clk_psc3(Hz)
00	1	48M	10	16	1.5M
01	4	6M	11	64	375k

12.1.2 TIM3_CNTR 的读写和计数

配置 TIM3_CR1[T3CEN]=1 时，TIM3_CNTR 开始计数。软件对 TIM3_CNTR 的写操作将直接改变寄存器的值，因此软件需在计数停止时执行写操作。软件读 TIM3_CNTR 时，先读高字节，硬件会同步将此刻低字节缓存，待读低字节时读取到的是缓存的数据。

12.1.3 输出模式

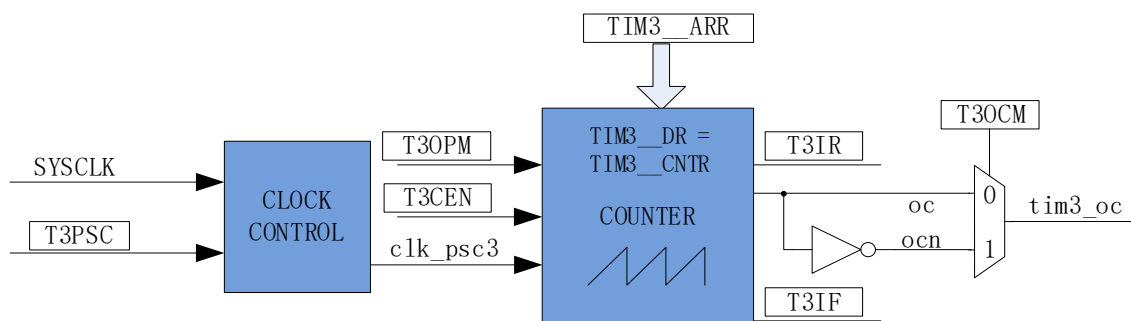


图 12-1 输出模式原理框图

基本计数器输出模式根据 `TIM3_CR0[T3OCM]` 设置，以及 `TIM3_CNTR` 与寄存器 `TIM3_DR`、`TIM3_ARR` 设定值的比较结果产生输出信号，同时产生相应中断。

12.1.3.1 高/低电平输出模式

配置 `TIM3_CR0[T3OCM] = 0` 时，如果 `TIM3_DR > TIM3_ARR`，则输出信号始终为低电平。配置 `TIM3_CR0[T3OCM] = 1` 时，如果 `TIM3_DR > TIM3_ARR`，则输出信号始终为高电平。

12.1.3.2 PWM 输出

PWM 输出模式下，`TIM3_ARR` 的设定值决定 PWM 周期，`TIM3_DR` 的设定值决定占空比， $\text{占空比} = \text{TIM3_DR} / \text{TIM3_ARR} * 100\%$ 。配置 `TIM3_CR0[T3OCM] = 0` 时，如果基本计数器值 `TIM3_CNTR < TIM3_DR` 设定值，输出低电平，反之输出高电平。配置 `TIM3_CR0[T3OCM] = 1` 时，如果基本计数器值 `TIM3_CNTR < TIM3_DR` 设定值，输出高电平，反之输出低电平。如果基本计数器值 `TIM3_CNTR` 大于 `TIM3_ARR`，则输出信号反转。

12.1.3.3 中断事件

- 当 `TIM3_CNTR = TIM3_DR`，产生比较匹配事件，中断事件标志位 `TIM3_CR1[T3IR]` 置 1，基本计数器继续计数。
- 当 `TIM3_CNTR = TIM3_ARR` 时，产生上溢事件，中断事件标志位 `TIM3_CR1[T3IF]` 置 1，基本计数器清 0，`TIM3_CR0[T3OPM]` 决定是否重新计数，`TIM3_CR0[T3OPM] = 1`，停止计数，`TIM3_CR0[T3OPM] = 0`，重新开始计数。

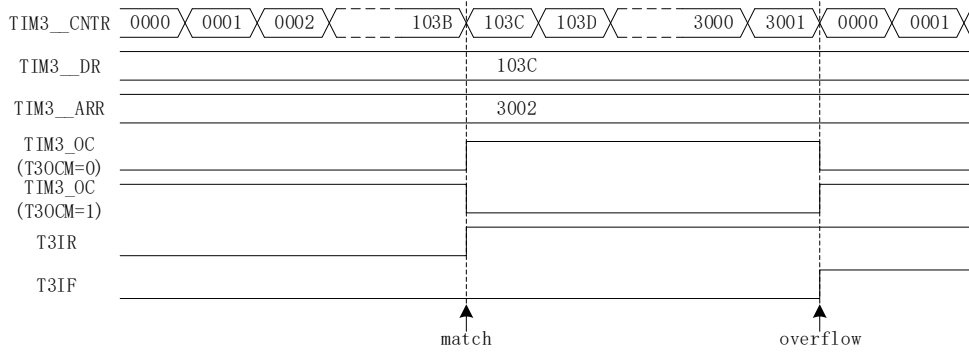


图 12-2 输出模式输出波形

12.1.4 输入信号滤波和边沿检测

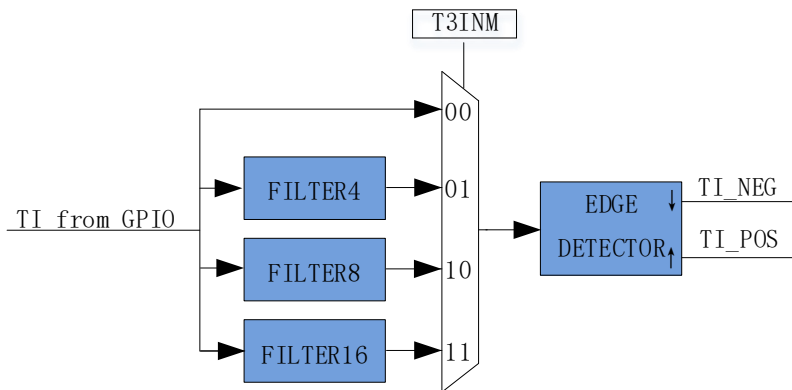


图 12-3 输入信号滤波和边沿检测框图

Timer3 的输入信号由 GPIO 输入，输入时可选择是否对输入信号进行噪声滤波。根据 TIM3_CR1[T3INM] 可以选择不滤波，或者 4/8/16 个系统时钟周期对输入信号滤波。滤波后的信号比滤波前的信号延迟 4/8/16 个时钟周期。

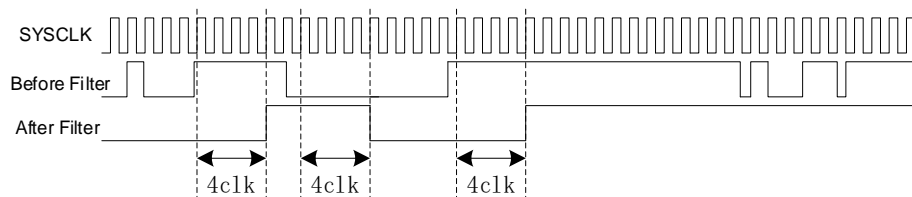


图 12-4 滤波模块时序图

滤波模块对输入信号滤波后，边沿检测模块对滤波后的输入信号进行检测，记录上升沿和下降沿，供输入捕获模式使用。

12.1.5 输入捕获模式

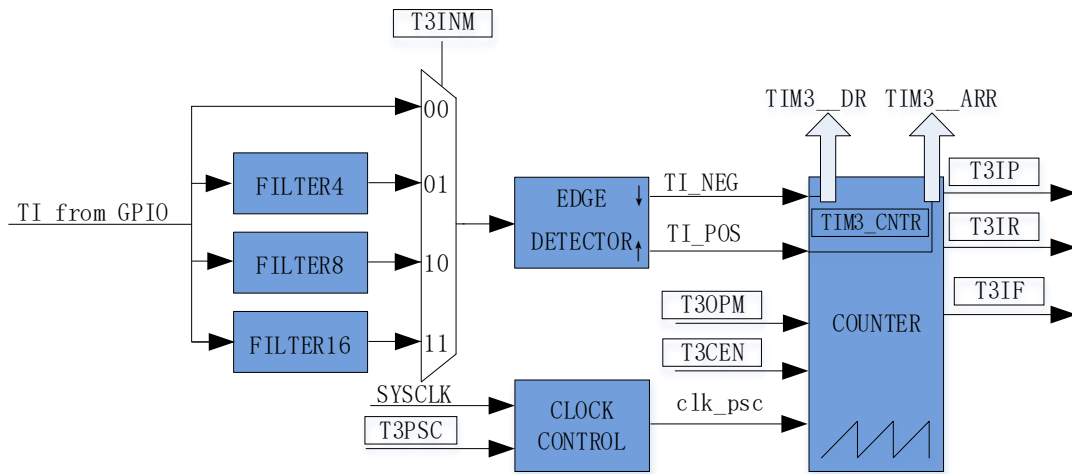


图 12-5 输入捕获模式原理框图

输入捕获模式检测输入 PWM 信号的脉宽和周期。配置 $TIM3_CR0[T3OCM] = 0$ 时，选择相邻两个上升沿为 1 个周期，上升沿到下降沿为脉宽(高电平脉宽)；配置 $TIM3_CR0[T3OCM] = 1$ 时，选择相邻两个下降沿为 1 个周期，下降沿到上升沿为脉宽(低电平脉宽)。基本计数器 $TIM3_CNTR$ 计数到的脉宽和周期值被分别存入 $TIM3_DR$ 和 $TIM3_ARR$ 寄存器。

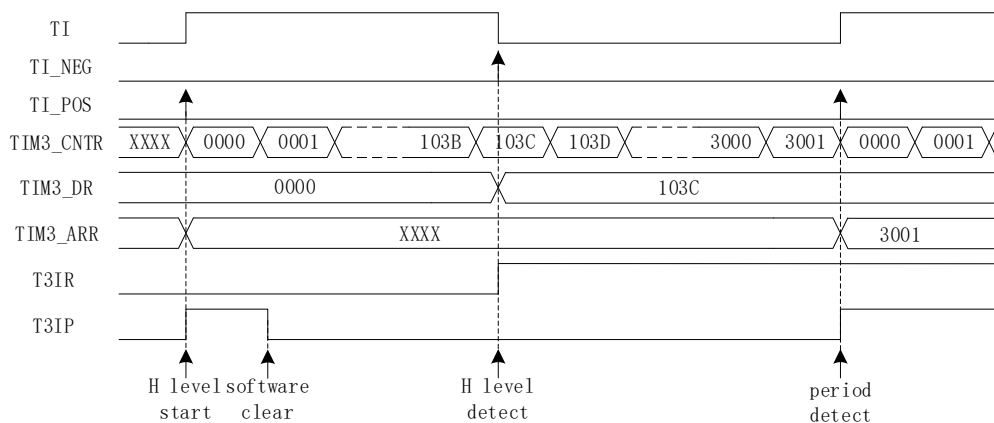


图 12-6 输入捕获模式($TIM3_CR0[T3OCM]=0$)时序图

以 $TIM3_CR0[T3OCM] = 0$ 为例，配置 $TIM3_CR1[T3CEN] = 1$ ，使能基本计数器，基本计数器向上计数。当 Timer3 检测到输入的第一个上升沿时，基本计数器清 0 并重新开始计数。当检测到输入的下降沿时，将 $TIM3_CNTR$ 的值存进 $TIM3_DR$ ，同时中断事件标志位 $TIM3_CR1[T3IR]$ 置 1，基本计数器接着向上计数。当检测到输入的第二个上升沿时，将 $TIM3_CNTR$ 的值存进 $TIM3_ARR$ ，同时中断事件标志位 $TIM3_CR1[T3IP]$ 置 1， $TIM3_CNTR$ 清 0，根据 $TIM3_CR0[T3OPM]$ 的值决定

是否重新计数，TIM3_CR0[T3OPM] = 1 时，停止计数；TIM3_CR0[T3OPM] = 0 时，重新计数。

当 Timer3 尚未检测到输入的第二个上升沿，且 TIM3_CNTR 达到 0xFFFF 时，发生上溢事件，中断事件标志位 TIM3_CR1[T3IF]置 1，TIM3_CNTR 清 0，根据 TIM3_CR0[T3OPM]的值决定是否重新计数，TIM3_CR0[T3OPM] = 1 时，停止计数；TIM3_CR0[T3OPM] = 0 时，重新计数。

12.2 Timer3 寄存器

12.2.1 TIM3_CR0 (0x9C)

位	7	6	5	4	3	2	1	0
名称	RSV	T3PSC		T3OCM	T3IRE	RSV	T3OPM	T3MOD
类型	-	R/W	R/W	R/W	R/W	-	R/W	R/W
复位值	-	0	0	0	0	-	0	0
位	名称	描述						
[7]	RSV	保留						
[6:5]	T3PSC	基本计数器时钟分频选择 用于对系统时钟进行分频，作为基本计数器的时钟源；分频后的时钟源频率为： 00: 24MHz 01: 6MHz 10: 1.5MHz 11: 375kHz 注：Timer3 的输入捕获模式下，00 对应的是 48MHz						
[4]	T3OCM	输出模式：输出模式选择 0: TIM3_CNTR < TIM3_DR，输出 0；TIM3_CNTR ≥ TIM3_DR，输出 1 1: TIM3_CNTR < TIM3_DR，输出 1；TIM3_CNTR ≥ TIM3_DR，输出 0 输入捕获模式：有效沿选择 0: 相邻两个上升沿为 1 个周期，上升沿到下降沿为脉宽(高电平脉宽) 1: 相邻两个下降沿为 1 个周期，下降沿到上升沿为脉宽(低电平脉宽)						
[3]	T3IRE	输出模式：比较匹配中断使能 输入捕获模式：脉宽检测中断使能 0: 不使能 1: 使能						
[2]	RSV	保留						
[1]	T3OPM	单次模式 发生下列中断事件时，基本计数器停止计数使能 输出模式：基本计数器上溢事件 输入捕获模式：PWM 周期检测或基本计数器上溢事件 0: 基本计数器不停止 1: 基本计数器停止(TIM3_CR1[T3CEN]清 0)						
[0]	T3MOD	工作模式选择 0: 输入捕获模式 1: 输出模式						

12.2.2 TIM3_CR1 (0x9D)

位	7	6	5	4	3	2	1	0
名称	T3IR	T3IP	T3IF	T3IPE	T3IFE	T3INM		T3CEN
类型	R/WO	R/WO	R/WO	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[7]	T3IR	输出模式：比较匹配中断事件标志位 输入捕获模式：脉宽检测中断事件标志位 读： 0：未发生中断事件 1：发生中断事件 写： 0：清0 1：无意义						
[6]	T3IP	输出模式：无意义 输入捕获模式：PWM周期检测中断事件标志位 读： 0：未发生中断事件 1：发生中断事件 写： 0：清0 1：无意义						
[5]	T3IF	输出模式：基本计数器上溢中断事件标志位。当基本计数器值 TIM3_CNTR = TIM3_ARR 时置1。 输入捕获模式：计数器上溢中断事件标志位。Timer3 尚未检测到输入一个 PWM 周期，而基本计数器值 TIM3_CNTR 累加到 0xFFFF 时置1。 读： 0：未发生中断事件 1：发生中断事件 写： 0：清0 1：无意义						
[4]	T3IPE	输出模式：无意义 输入捕获模式：PWM周期检测中断使能 0：不使能 1：使能						
[3]	T3IFE	输出模式：基本计数器上溢中断使能 输入捕获模式：基本计数器上溢中断使能 0：不使能 1：使能						
[2:1]	T3INM	输入信号滤波脉宽选择 当输入信号的脉宽小于设定值，被当作噪声滤除 00：不滤波 01：4个系统时钟周期 10：8个系统时钟周期 11：16个系统时钟周期						
[0]	T3CEN	基本计数器使能 0：不使能 1：使能						

12.2.3 TIM3_CNTR (0xA2, 0xA3)

TIM3_CNTRH(0xA3)								
位	15	14	13	12	11	10	9	8
名称	TIM3_CNTR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM3_CNTRL(0xA2)								
位	7	6	5	4	3	2	1	0
名称	TIM3_CNTR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM3_CNTR	基本计数器的计数值						

12.2.4 TIM3_DR (0xA4, 0xA5)

TIM3_DRH(0xA5)								
位	15	14	13	12	11	10	9	8
名称	TIM3_DR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM3_DRL(0xA4)								
位	7	6	5	4	3	2	1	0
名称	TIM3_DR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM3_DR	输出模式：比较匹配值(软件写) 输入捕获模式：检测到输入脉宽的计数值(硬件写)						

12.2.5 TIM3_ARR (0xA6, 0xA7)

TIM3_ARRH(0xA7)								
位	15	14	13	12	11	10	9	8
名称	TIM3_ARR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM3_ARRL(0xA6)								
位	7	6	5	4	3	2	1	0
名称	TIM3_ARR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM3_ARR	输出模式：PWM 波形周期(软件写) 输入捕获模式：检测到一个 PWM 周期的计数值(硬件写)						

13 Timer4

13.1 Timer4 操作说明

Timer4 支持输出和输入捕获两种模式：

- 输出模式：输出 PWM 波形
- 输入捕获模式：检测输入 PWM 高低电平的持续时间，可用于算出 PWM 占空比

Timer4 特性包括：

- 2 位可编程分频器对系统时钟进行分频，作为基本计数器的时钟源
- 16 位向上计数的基本计数器，计数时钟源为分频器的输出
- 输入信号滤波
- 输入信号边沿检测
- 输出 PWM 信号，单次比较输出
- 中断事件

13.1.1 分频器

分频器对系统时钟进行分频，产生基本计数器的计数时钟源，分频器由 TIM4_CR0[T4PSC]控制，可选择 4 种分频系数。由于此控制寄存器没有缓冲器，分频系数更新后会立刻改变计数时钟源频率，所以应在基本计数器不工作时更新分频系数。时钟源的频率 $clk_psc4 = SYSCLK/(4^{TIM4_CR0[T4PSC]})$ ，分频后的时钟源频率与 TIM4_CR0[T4PSC]的关系如表 13-1 所示。

表 13-1 分频后的时钟源频率与 TIM4_CR0[T4PSC]对应关系

TIM4_CR0[T4PSC]	分频系数	clk_psc4(Hz)	TIM4_CR0[T4PSC]	分频系数	clk_psc4(Hz)
00	1	24M	10	16	1.5M
01	4	6M	11	64	375k

13.1.2 TIM4_CNTR 的读写和计数

配置 TIM4_CR1[T4CEN] = 1 时，TIM4_CNTR 开始计数。软件对 TIM4_CNTR 的写操作将直接改变寄存器的值，因此软件需在计数不使能时执行写操作。软件读 TIM4_CNTR 时，先读高字节，硬件会同步将此刻低字节缓存，待读低字节时读取到的是缓存的数据。

13.1.3 输出模式

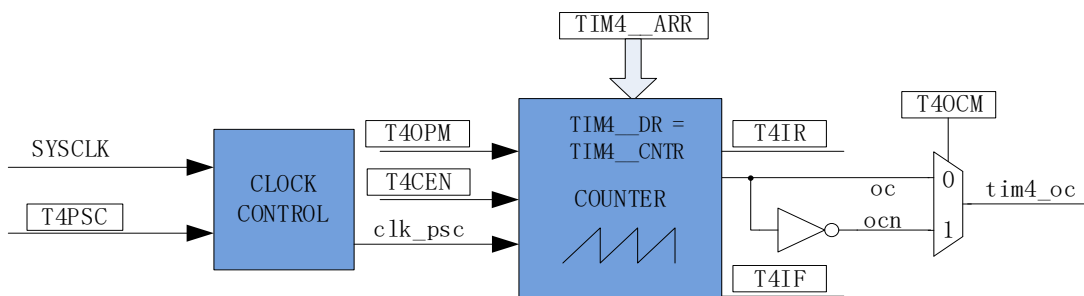


图 13-1 输出模式原理框图

输出模式根据 TIM4_CR0[T4OCM]的配置，以及 TIM4_CNTR 与寄存器 TIM4_DR、TIM4_ARR 设定值的比较结果产生输出信号，同时产生相应中断。

13.1.3.1 高/低电平输出模式

配置 TIM4_CR0[T4OCM] = 0 时，如果 TIM4_DR > TIM4_ARR，输出信号始终为低电平；配置 TIM4_CR0[T4OCM] = 1 时，如果 TIM4_DR > TIM4_ARR，输出信号始终为高电平。

13.1.3.2 PWM 输出模式

PWM 输出模式下，TIM4_ARR 的设定值决定 PWM 周期，TIM4_DR 的设定值决定占空比，占空比 = $TIM4_DR / TIM4_ARR * 100\%$ 。配置 TIM4_CR0[T4OCM] = 0 时，如果基本计数器值 $TIM4_CNTR < TIM4_DR$ 设定值，输出低电平，反之输出高电平。配置 TIM4_CR0[T4OCM] = 1 时，如果基本计数器值 $TIM4_CNTR < TIM4_DR$ 设定值，输出高电平，反之输出低电平。如果基本计数器值 TIM4_CNTR 大于 TIM4_ARR，则输出信号反转。

13.1.3.3 中断事件

- 当 $TIM4_CNTR = TIM4_DR$ ，产生比较匹配事件，中断事件标志位 TIM4_CR1[T4IR]置 1，基本计数器接着计数。
- 当 $TIM4_CNTR = TIM4_ARR$ ，产生上溢事件，中断事件标志位 TIM4_CR1[T4IF]置 1，基本计数器清 0，根据 TIM4_CR0[T4OPM]的值决定是否重新计数，TIM4_CR0[T4OPM] = 1 时，停止计数；TIM4_CR0[T4OPM] = 0 时，重新计数。

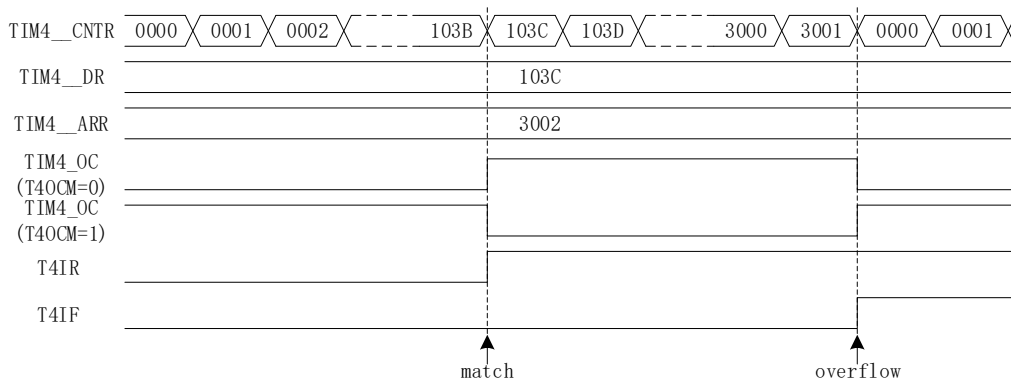


图 13-2 输出模式输出波形

13.1.4 输入信号滤波和边沿检测

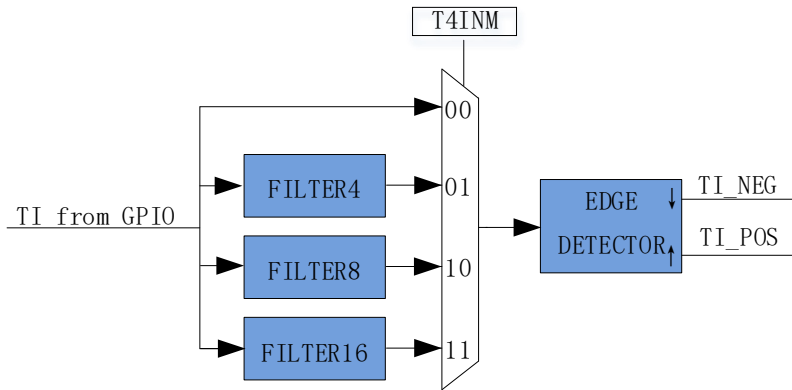


图 13-3 输入信号滤波和边沿检测框图

Timer4 的输入信号由 GPIO 输入，输入时可选择是否对输入信号进行噪声滤波。

边沿检测模块对经过滤波模块的输入信号进行检测，记录上升沿和下降沿，供输入捕获模式使用。

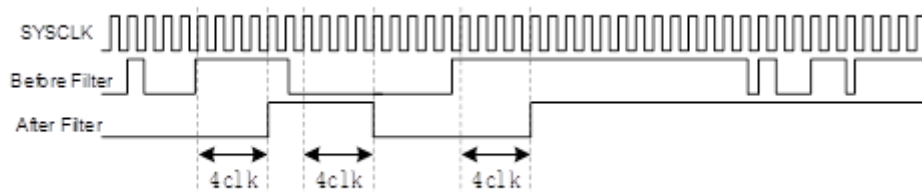


图 13-4 滤波模块时序图

滤波电路根据 TIM4_CR1[T4INM]选择滤掉脉宽小于 4/8/16 时钟周期的输入噪声。使能滤波功能，滤波后的信号比滤波前的信号延迟 4/8/16 个时钟周期。

13.1.5 输入捕获模式

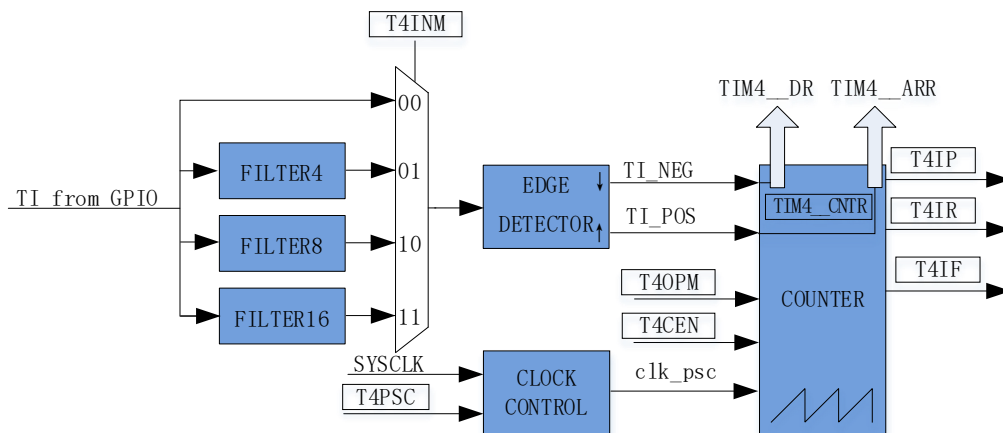


图 13-5 输入捕获模式原理框图

输入捕获模式检测输入 PWM 信号的脉宽和周期。配置 $TIM4_CR0[T4OCM] = 0$ 时，选择相邻两个上升沿为 1 个周期，上升沿到下降沿为脉宽(高电平脉宽)；配置 $TIM4_CR0[T4OCM] = 1$ 时，选择相邻两个下降沿为 1 个周期，下降沿到上升沿为脉宽(低电平脉宽)。当所定边沿到来时，计数值 $TIM4_CNTR$ 分别被存入 $TIM4_DR$ 和 $TIM4_ARR$ 寄存器。输入信号可选择是否滤波。

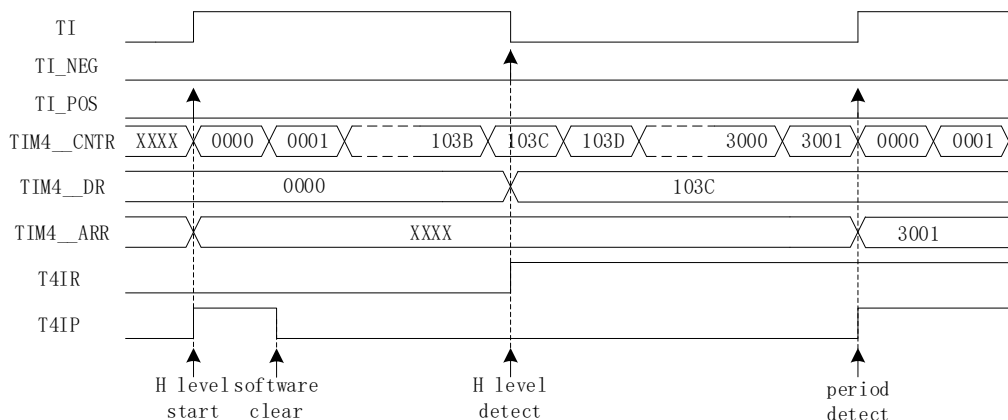


图 13-6 输入捕获模式($TIM4_CR0[T4OCM] = 0$)时序图

以 $TIM4_CR0[T4OCM] = 0$ 为例，配置 $TIM4_CR1[T4CEN] = 1$ ，使能基本计数器，基本计数器向上计数。当 Timer4 检测到输入的第一个上升沿时， $TIM4_CNTR$ 清 0 并重新开始计数。当 Time4 检测到输入的下降沿时，将 $TIM4_CNTR$ 的值存进 $TIM4_DR$ ，同时中断事件标志位 $TIM4_CR1[T4IR]$ 置 1，基本计数器接着向上计数。当 Time4 检测到输入的第二个上升沿时，将 $TIM4_CNTR$ 的值存进 $TIM4_ARR$ ，同时中断事件标志位 $TIM4_CR1[T4IP]$ 置 1， $TIM4_CNTR$ 清 0，根据 $TIM4_CR0[T4OPM]$ 的值决定是否重新计数， $TIM4_CR0[T4OPM] = 1$ 时，停止计数； $TIM4_CR0[T4OPM] = 0$ 时，重新计数。

当 Timer4 尚未检测到输入的第二个上升沿，且 $TIM4_CNTR$ 达到 $0xFFFF$ 时，发生上溢事件，中断事件标志位 $TIM4_CR1[T4IF]$ 置 1， $TIM4_CNTR$ 清 0，根据 $TIM4_CR0[T4OPM]$ 的值决定是否重新计数， $TIM4_CR0[T4OPM] = 1$ 时，停止计数； $TIM4_CR0[T4OPM] = 0$ 时，重新计数。

13.2 Timer4 寄存器

13.2.1 TIM4_CR0 (0x9E)

位	7	6	5	4	3	2	1	0
名称	RSV	T4PSC		T4OCM	T4IRE	RSV	T4OPM	T4MOD
类型	-	R/W	R/W	R/W	R/W	-	R/W	R/W
复位值	-	0	0	0	0	-	0	0
位	名称	描述						
[7]	RSV	保留						

[6:5]	T4PSC	基本计数器时钟分频选择 用于对系统时钟进行分频，作为基本计数器的计数时钟源；分频后的时钟源频率为： 00: 24MHz 01: 6MHz 10: 1.5MHz 11: 375kHz
[4]	T4OCM	输出模式：输出模式选择 0: TIM4_CNTR < TIM4_DR, 输出 0; TIM4_CNTR ≥ TIM4_DR, 输出 1 1: TIM4_CNTR < TIM4_DR, 输出 1; TIM4_CNTR ≥ TIM4_DR, 输出 0 输入捕获模式：有效沿选择 0: 相邻两个上升沿为 1 个周期，上升沿到下降沿为脉宽(高电平脉宽) 1: 相邻两个下降沿为 1 个周期，下降沿到上升沿为脉宽(低电平脉宽)
[3]	T4IRE	输出模式：比较匹配中断使能 输入捕获模式：脉宽检测中断使能 0: 不使能 1: 使能
[2]	RSV	保留
[1]	T4OPM	单次模式 发生下列中断事件时，基本计数器停止计数使能 输出模式：基本计数器上溢事件 输入捕获模式：PWM 周期检测或基本计数器上溢事件 0: 计数器不停止 1: 计数器停止(TIM4_CR1[T4CEN]清 0)
[0]	T4MOD	工作模式选择 0: 输入捕获模式 1: 输出模式

13.2.2 TIM4_CR1 (0x9F)

位	7	6	5	4	3	2	1	0
名称	T4IR	T4IP	T4IF	T4IPE	T4IFE	T4INM		T4CEN
类型	R/WO	R/WO	R/WO	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[7]	T4IR	输出模式：比较匹配中断事件标志位 输入捕获模式：脉宽检测中断事件标志位 读： 0: 未发生中断事件 1: 发生中断事件 写： 0: 清 0 1: 无意义						
[6]	T4IP	输出模式：无意义 输入捕获模式：PWM 周期检测中断事件标志位 读： 0: 未发生中断事件 1: 发生中断事件 写： 0: 清 0 1: 无意义						
[5]	T4IF	输出模式：基本计数器上溢中断事件标志位。当基本计数器值 TIM4_CNTR = TIM4_ARR 时置 1						

		输入捕获模式：计数器上溢中断事件标志位。Timer4 尚未检测到输入一个 PWM 周期，而基本计数器值 TIM4_CNTR 累加到 0xFFFF 时置 1。 读： 0：未发生中断事件 1：发生中断事件 写： 0：清 0 1：无意义
[4]	T4IPE	输出模式：无意义 输入捕获模式：PWM 周期检测中断使能 0：不使能 1：使能
[3]	T4IFE	输出模式：基本计数器上溢中断使能 输入捕获模式：基本计数器上溢中断使能 0：不使能 1：使能
[2:1]	T4INM	输入信号滤波脉宽选择 当输入信号的脉宽小于设定值，被当作噪声滤除 00：不滤波 01：4 个系统时钟周期 10：8 个系统时钟周期 11：16 个系统时钟周期
[0]	T4CEN	基本计数器使能 0：不使能 1：使能

13.2.3 TIM4_CNTR (0x92, 0x93)

TIM4_CNTRH(0x93)								
位	15	14	13	12	11	10	9	8
名称	TIM4_CNTR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM4_CNTRL(0x92)								
位	7	6	5	4	3	2	1	0
名称	TIM4_CNTR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM4_CNTR	基本计数器的计数值						

13.2.4 TIM4_DR (0x94, 0x95)

TIM4_DRH(0x95)								
位	15	14	13	12	11	10	9	8
名称	TIM4_DR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM4_DRL(0x94)								
位	7	6	5	4	3	2	1	0
名称	TIM4_DR[7:0]							

类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM4_DR	输出模式: 比较匹配值(软件写) 输入捕获模式: 检测到输入脉宽的计数值(硬件写)						

13.2.5 TIM4_ARR (0x96, 0x97)

TIM4_ARRH(0x97)								
位	15	14	13	12	11	10	9	8
名称	TIM4_ARR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
TIM4_ARRL(0x96)								
位	7	6	5	4	3	2	1	0
名称	TIM4_ARR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	TIM4_ARR	输出模式: PWM 波形周期(软件写) 输入捕获模式: 检测到一个 PWM 周期的计数值(硬件写)						

14 Systick

14.1 Systick 操作说明

芯片可产生固定时间 1ms 的 Systick 中断。配置 SYST_ARR 寄存器设置产生中断的周期，配置 DRV_SR[SYSTIE] = 1 使能 Systick 中断，中断入口为 10。

14.2 Systick 寄存器

14.2.1 DRV_SR (0xDF)

位	7	6	5	4	3	2	1	0
名称	SYSTIF	SYSTIE	RSV	DCIF	RSV		DCIM	
类型	R/WO	R/W	-	R/WO	-	-	R/W	R/W
复位值	0	0	-	0	-	-	0	0
位	名称	描述						
[7]	SYSTIF	Systick 中断事件标志位 读： 0: 未发生中断事件 1: 发生中断事件 写： 0: 清 0 1: 无意义						
[6]	SYSTIE	Systick 中断使能 0: 不使能 1: 使能						
[5]	RSV	保留						
[4]	DCIF	Driver 比较匹配中断事件标志位 当 Driver 计数值等于 DRV_COMR 时，根据 DRV_SR[DCIM] 设置的计数方向，判断是否产生中断 读： 0: 未发生中断事件 1: 发生中断事件 写： 0: 清 0 1: 无意义						
[3:2]	RSV	保留						
[1:0]	DCIM	比较匹配中断模式配置 当计数值等于 DRV_COMR 时，根据 DRC_SR[DCIM] 的设置判断是否产生中断 00: 不产生中断 01: 计数器向上计数时产生中断 10: 计数器向下计数时产生中断 11: 计数器向上/下计数时都产生中断						

15 Driver

15.1 Driver 操作说明

15.1.1 Driver 简介

芯片内配置 Pre-driver 输出。

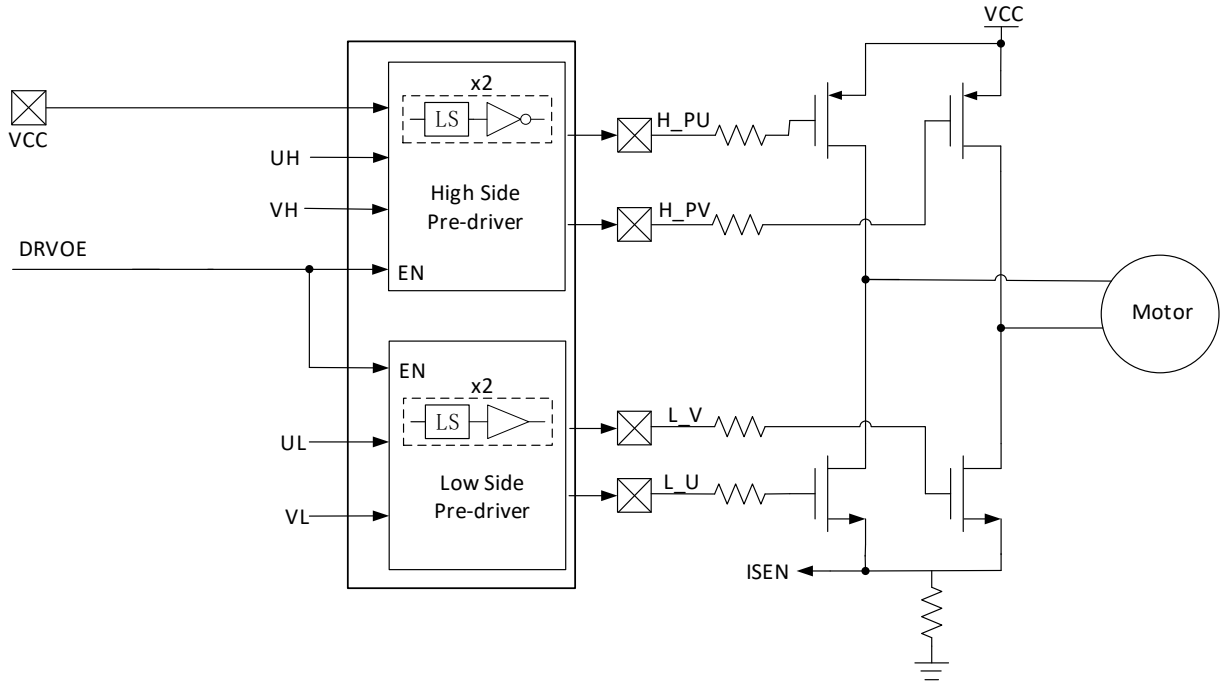


图 15-1 Pre-driver 模块框图

2P2N Pre-driver 驱动模块如图 15-1 所示，UH/VH 和 UL/VL 两相 PWM 信号为 Pre-driver 的输入信号，H_PU/H_PV 及 L_U/L_V 引脚为 Pre-driver 的输出信号。注意 H_PU/H_PV 与内部信号 UH/VH 为反向关系。DRV_CR[DRVOE]为 Pre-driver 的使能位。

配置寄存器 DRV_CR[DRVOE] = 1，使能 Pre-driver 输出，此时 UH/VH 分别被反向后送至 H_PU/H_PV 引脚用于驱动 PMOS 的栅极，UL/VL 分别被送至 L_U/L_V 引脚用于驱动 NMOS 的栅极。PMOS 和 NMOS 输出电压驱动电机运转。

15.1.2 输出控制模块

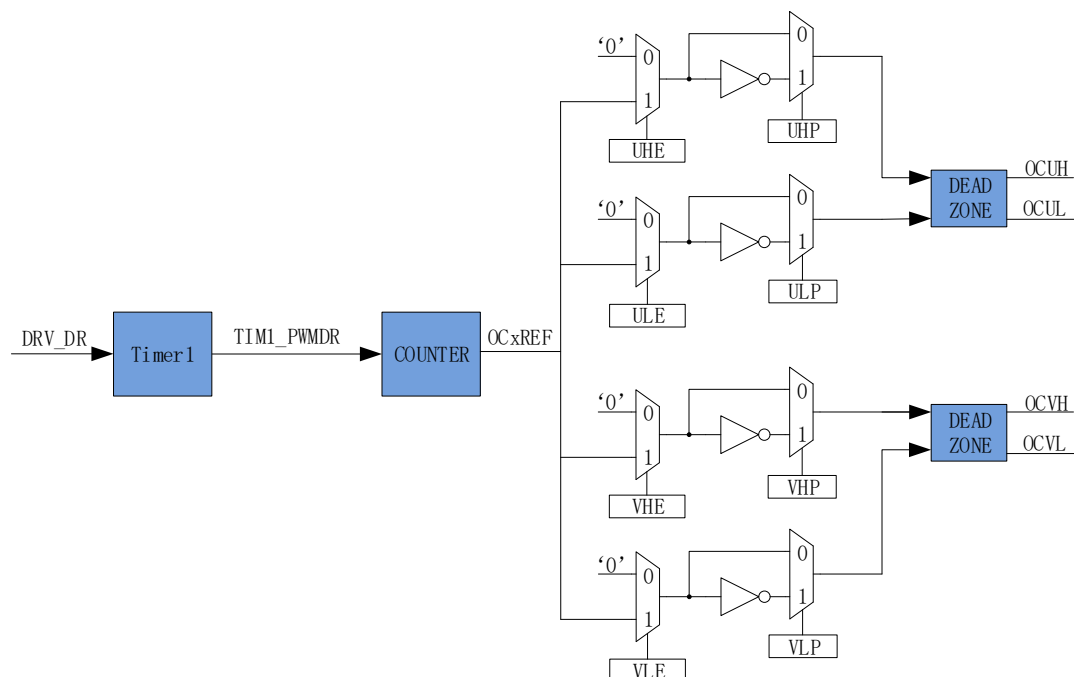


图 15-2 输出控制模块前级框图

软件设置的比较值 DRV_DR 经过 $Timer1$ 处理后，得到 $TIM1_PWMDR$ 。 $TIM1_PWMDR$ 送至计数器比较后得到三路原始 PWM 信号 $OCxREF$ 。输出的 PWM 信号以 $OCxREF$ 为参考，配置 $XHE/XLE = 1$ 输出 PWM，配置 $XHP/XLP = 1$ 反相输出。例：U 相上桥输出如下。

- $UHE = 0, UHP = 0$ 时，输出 0；
- $UHE = 1, UHP = 0$ 时，输出 PWM；
- $UHE = 0, UHP = 1$ 时，输出 1；
- $UHE = 1, UHP = 1$ 时，输出反相 PWM。

假设需要设置 U 相上桥 PWM，U 相下桥互补输出，V 相下桥常开时， $UHE = 1, UHP = 0; ULE = 1, ULP = 1; VLE = 0, VLP = 1$ 。

15.1.2.1 计数比较模块

$TIM1_PWMDR$ 送至计数器，与计数值比较后生成占空比 $OCxREF$ 。当计数值 DRV_CNTR 小于比较值， $OCxREF$ 输出高电平；反之，输出低电平。

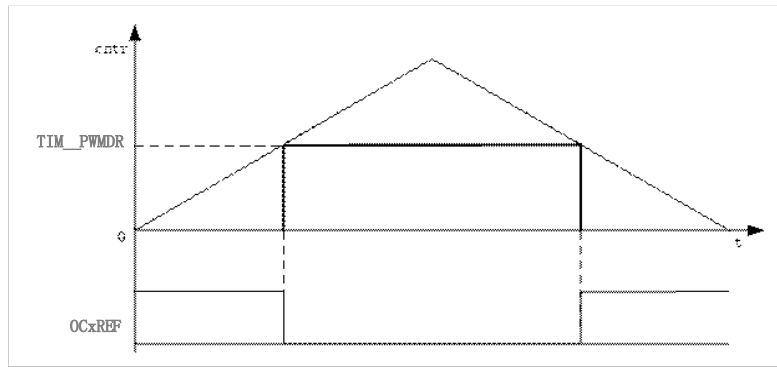


图 15-3 PWM 生成图

占空比 = $TIM1_PWMDR/16/DRV_ARR*100\%$ (假设 $DRV_ARR = 750$, $TIM1_PWMDR = 6000$, 则 PWM 占空比 = 50%)。

15.1.2.2 死区模块

OCxREF 可硬件完成死区时间插入。每个通道都有一个 8 位的死区发生器，三个通道的死区延时相同，通过 DRV_DTR 设置死区时间。当 OCxREF 上升沿发生时，OCxL 的实际输出高电平比 OCxREF 的上升沿延迟 DRV_DTR 设定的时间。当 OCxREF 下降沿发生时，OCxH 的实际输出高电平比 OCxREF 的下降沿延迟 DRV_DTR 设定的时间。如延迟时间大于实际输出的脉宽，则对应的通道脉宽不延迟，相反的通道脉宽不产生。

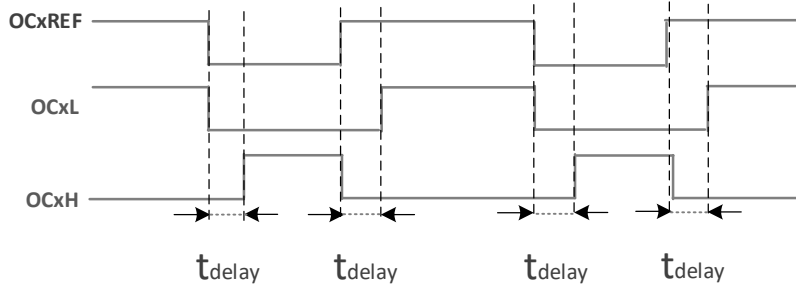


图 15-4 带死区插入的互补输出

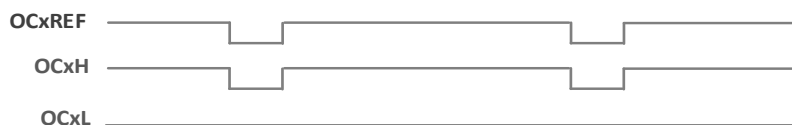


图 15-5 死区时间大于负电平

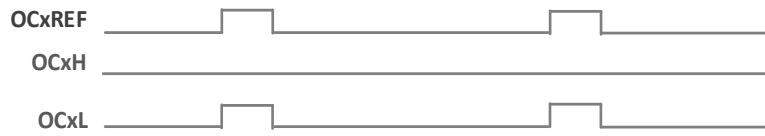


图 15-6 死区时间大于正电平

15.1.2.3 主输出使能 MOEH/MOEL

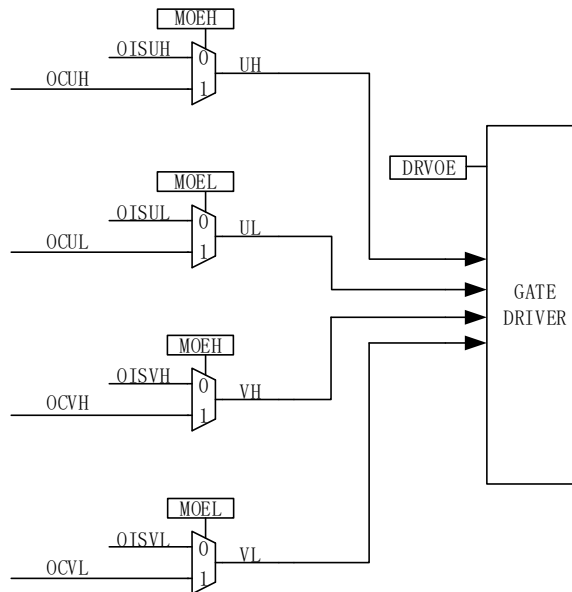


图 15-7 输出控制模块后级框图

使能 DRV_OUT[MOEH]/DRV_OUT[MOEL]后，输出来源于计数器比较值，用于驱动电机。禁止 DRV_OUT[MOEH]/DRV_OUT[MOEL]，则输出软件设置的空闲电平，停止电机驱动。

15.1.2.4 中断

15.1.2.4.1 比较匹配中断

由 DRV_SR[DCIM]配置上溢、下溢或者向下计数且 DRV_CNTR = TIM1_PWMDR 时产生 Driver 比较匹配中断请求，中断标志位 DRV_SR[DCIF]硬件置 1。

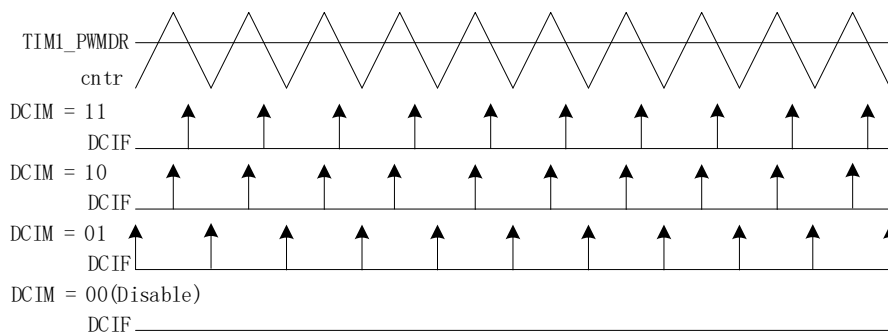


图 15-8 Driver 比较匹配中断

15.2 Driver 寄存器

15.2.1 DRV_CR (0xE1)

位	7	6	5	4	3	2	1	0
名称	DRVEN	RSV	BTIMEN	HREVEN	LREVEN	RSV		DRVOE
类型	R/W	-	R/W	R/W	R/W	-	-	R/W
复位值	0	-	0	0	0	-	-	0
位	名称	描述						
[7]	DRVEN	计数器使能 0: 不使能 1: 使能						
[6]	RSV	保留						
[5]	BTIMEN	基本计数器模块使能 0: 不使能 1: 使能						
[4]	HREVEN	上管反相使能: 0: 不使能 1: 使能						
[3]	LREVEN	下管反相使能: 0: 不使能 1: 使能						
[2:1]	RSV	保留						
[0]	DRVOE	Driver 使能 0: 不使能 1: 使能						

15.2.2 DRV_SR (0xDF)

位	7	6	5	4	3	2	1	0
名称	SYSTIF	SYSTIE	RSV	DCIF	RSV		DCIM	
类型	R/WO	R/W	-	R/WO	-	-	R/W	R/W
复位值	0	0	-	0	-	-	0	0
位	名称	描述						
[7]	SYSTIF	Systick 中断事件标志位						

		读： 0: 未发生中断事件 1: 发生中断事件 写： 0: 清 0 1: 无意义
[6]	SYSTIE	Systick 中断使能 0: 不使能 1: 使能
[5]	RSV	保留
[4]	DCIF	Driver 比较匹配中断事件标志位 当 Driver 计数值等于 DRV_COMR 时，根据 DRV_SR[DCIM] 设置的计数方向，判断是否产生中断 读： 0: 未发生中断事件 1: 发生中断事件 写： 0: 清 0 1: 无意义
[3:2]	RSV	保留
[1:0]	DCIM	比较匹配中断模式设置 当计数值等于 DRV_COMR 时，根据 DRV_SR[DCIM] 的设置判断是否产生中断请求 00: 不产生中断 01: 计数器向上计数时产生中断 10: 计数器向下计数方向时产生中断 11: 计数器向上/向下计数时都产生中断

15.2.3 DRV_OUT (0xF8)

位	7	6	5	4	3	2	1	0
名称	MOEH	MOEL	RSV		OISVH	OISVL	OISUH	OISUL
类型	R/W	R/W	-	-	R/W	R/W	R/W	R/W
复位值	0	0	-	-	0	0	0	0
位	名称	描述						
[7]	MOEH	上桥主输出使能 该位用于选择 U 相、V 相上桥输出信号的来源。该位可由软件置 1 和清 0，母线电流保护产生(见章节 20.1.2)时，硬件自动清 0，关闭输出。 0: 不使能，输出来源于空闲电平 DRV_OUT[OISUH]/DRV_OUT[OISVH] 1: 使能，输出来源于计数器比较值						
[6]	MOEL	下桥主输出使能 该位用于选择 U 相、V 相下桥输出信号的来源。该位软件可置 1 和清 0，母线电流保护产生(见章节 20.1.2)时，硬件自动清 0，关闭输出。 0: 不使能，输出来源于空闲电平 DRV_OUT[OISUL]/DRV_OUT[OISVL] 1: 使能，输出来源于计数器比较值						
[5:4]	RSV	保留						
[3]	OISVH	VH 的输出空闲电平 参考 OISUH 描述						
[2]	OISVL	VL 的输出空闲电平 参考 OISUL 描述						
[1]	OISUH	UH 的输出空闲电平 该位设置输出 UH 的空闲电平。当 DRV_OUT[MOEH] = 0，输出空闲电平关闭 MOS						

		0: 低电平 1: 高电平
[0]	OISUL	UL 的输出空闲电平 该位设置输出 UL 的空闲电平。当 DRV_OUT[MOEL] = 0, 输出空闲电平关闭 MOS 0: 低电平 1: 高电平

15.2.4 DRV_ARR (0xE4, 0xE5)

DRV_ARRH(0xE5)								
位	15	14	13	12	11	10	9	8
名称	RSV				DRV_ARR[11:8]			
类型	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0
DRV_ARRL(0xE4)								
位	7	6	5	4	3	2	1	0
名称	DRV_ARR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:12]	RSV	保留						
[11:0]	DRV_ARR	计数器的重载值, 决定载波周期(中央对齐模式) Driver 计数器从 0 开始计数到 DRV_ARR/2 - 1, 产生上溢事件, 然后向下计数到 0 计算公式: 载波频率 $f_{carrier} = 48\text{MHz}/\text{DRV_ARR}$ DRV_ARR 的值以时钟 48MHz 计算, 取值范围 [0, 4095] 注: 最低位恒为 0, 写 1 无意义						

15.2.5 DRV_DR (0xE2, 0xE3)

DRV_DRH(0xE3)								
位	15	14	13	12	11	10	9	8
名称	RSV				DRV_DR[11:8]			
类型	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0
DRV_DRL(0xE2)								
位	7	6	5	4	3	2	1	0
名称	DRV_DR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:12]	RSV	保留						
[11:0]	DRV_DR	软件 PWM 占空比设定值 占空比 = $\text{DRV_DR}/\text{DRV_ARR} \times 100\%$ 当 DRV_SR[DCIM] = 11 时, DRV_DR 还用于比较匹配 DRV_DR 的值以时钟 48MHz 计算, 取值范围 [0, 4095] 注: 当使用该寄存器作为比较源时, 输出 PWM 以上桥为参考下桥为插入死区的互补输出						

15.2.6 DRV_DTR (0xE9)

位	7	6	5	4	3	2	1	0	
名称	DRV_DTR								
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
复位值	0	0	0	0	0	0	0	0	
位	名称	描述							
[7:0]	DRV_DTR	死区时间设置 死区时间 = (DRV_DTR + 1) * T 例: DRV_DTR = 11, 则死区时间 = 12 * 41.67ns = 500ns 注: 如果设定 DRV_DTR = 0, 不插入死区时间							

15.2.7 DRV__CNTR (0xE6, 0xE7)

DRV__CNTRH(0xE7)									
位	15	14	13	12	11	10	9	8	
名称	RSV				DRV__CNTR[11:8]				
类型	-	-	-	-	R/W	R/W	R/W	R/W	
复位值	-	-	-	-	0	0	0	0	
DRV__CNTRL(0xE6)									
位	7	6	5	4	3	2	1	0	
名称	DRV__CNTR[7:0]								
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
复位值	0	0	0	0	0	0	0	0	
位	名称	描述							
[15:12]	RSV	保留							
[11:0]	DRV__CNTR	计数器值 DRV__CNTR 的值以时钟 12MHz 计算, Driver 对应占空比 = DRV__CNTR*4/DRV_ARR*100% 取值范围[0,4095] 注: 只有在 DRV_CR[DRVEN] = 1 时, 才能写入 DRV__CNTR							

16 WDT

看门狗定时器是一个工作在内部慢时钟时域下的定时器，主要用于监控主程序运行，防止 MCU 出现死机的情况。看门狗的工作原理是：启动看门狗后，看门狗的定时器开始计数。当看门狗定时器溢出时，看门狗发送信号使 MCU 复位，程序从地址 0 开始运行。在主程序运行过程中，每隔一段时间就要对看门狗的定时器进行初始化，以防止看门狗定时器溢出，俗称喂狗。

看门狗在启动后从 0 开始计时，当计时到 0xFFFC 时输出一个长度为 4 个内部慢时钟周期的信号使 MCU 复位，程序从地址 0 开始运行。程序在运行中定时给看门狗发送喂狗信号，看门狗定时器将回到 WDT_ARR 的设定值，并重新开始计数。

16.1 WDT 使用注意事项

- MCU 进入待机模式或睡眠模式时，WDT 将停止计数，但计数值仍会保留
- MCU 在仿真过程中，WDT 将会被自动禁用
- WDT 定时器溢出使 MCU 复位时，RST_SR[RSTWDT] 将会置 1

16.2 WDT 操作说明

1. CCFG1[WDT_EN] 置 1，启动看门狗，看门狗从 0 开始计数；
2. 设置 WDT_ARR (本操作也可以放在启动看门狗之前)；
3. 在程序的运行中设置 WDT_CR[WDTRF] = 1，看门狗计数器回到 WDT_ARR。

16.3 WDT 寄存器

16.3.1 WDT_CR (0x4026)

位	7	6	5	4	3	2	1	0
名称	RSV							WDTRF
类型	-	-	-	-	-	-	-	R/W
复位值	-	-	-	-	-	-	-	0
位	名称	描述						
[7:1]	RSV	保留						
[0]	WDTRF	看门狗初始化 0: 无意义 1: 看门狗计数器回到 WDT_ARR 的设定值，并重新开始计数						

16.3.2 WDT_ARR (0x4027)

位	7	6	5	4	3	2	1	0
名称	WDT_ARR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述
[7:0]	WDT_ARR	看门狗重载计数器 设置看门狗计数器初始化值的高8位

16.3.3 CCFG1 (0x401E)

位	7	6	5	4	3	2	1	0
名称	RSV	LVWIE	WDT_EN	RSV				
类型	-	R/W	R/W	-	-	-	-	-
复位值	-	0	0	-	-	-	-	-
位	名称	描述						
[7]	RSV	保留						
[6]	LVWIE	LVW 检测中断使能 0: 不使能 1: 使能						
[5]	WDT_EN	WDT 使能 0: 不使能 1: 使能						
[4:0]	RSV	保留						

17 RTC 与时钟校准

17.1 RTC 基本功能框图

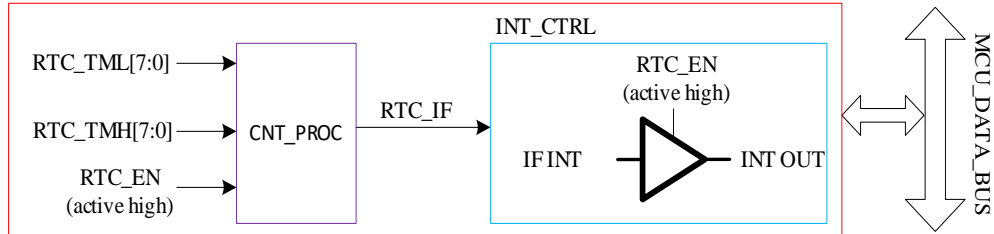


图 17-1 RTC 基本功能框图

17.2 RTC 操作说明

写寄存器 RTC_TM，设置 RTC 计数的重载值。配置 RTC_STA[RTC_EN] = 1，使能 RTC 计数。

17.3 RTC 寄存器

17.3.1 RTC_TM (0x402C, 0x402D)

RTC_TMH(0x402C)								
位	15	14	13	12	11	10	9	8
名称	RTC_TM[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1
RTC_TML(0x402D)								
位	7	6	5	4	3	2	1	0
名称	RTC_TM[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1
位	名称	描述						
[15:0]	RTC_TM	RTC 计数寄存器 读：正在计数的瞬间值 写：RTC 计数器以 32768Hz 的频率从 0 计数到写入值后溢出，产生中断请求，计数器清 0 并重新开始计数。						

17.3.2 RTC_STA (0x402E)

位	7	6	5	4	3	2	1	0
名称	RTC_EN	RTC_IF	ISOSCSSEL	ISOSCEN	RSV			
类型	R/W	R/WO	R/W	R/W	-	-	-	-
复位值	0	0	0	0	-	-	-	-
位	名称	描述						

[7]	RTC_EN	RTC 使能 0: 不使能 1: 使能
[6]	RTC_IF	RTC 中断事件标志位 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清 0 1: 无意义
[5]	ISOSCESEL	内部慢时钟源选择 0: 内部时钟源 1: 外部时钟源
[4]	ISOSCEEN	内部慢时钟使能 0: 不使能 1: 使能
[3:0]	RSV	保留

17.4 时钟校准

17.4.1 时钟校准简介

时钟校准是利用慢时钟校准内部快时钟的功能，其中慢时钟可由寄存器 `RTC_STA[ISOSCESEL]` 选择慢时钟源，可以是内部慢时钟或者外部慢时钟。校准原理：使用一个长度 13 位的计数器连续累积计 8 个慢时钟周期的长度。

校准方法：软件设置 `CAL_CR0[CAL_STA] = 1`，开始校准过程。读 `CAL_CR0[CAL_BUSY]` 标志位确认校准过程是否结束，当校准完成 (`CAL_CR0[CAL_BUSY] = 0`) 后，读取 `CAL_CR0[CAL_ARR]` 的值即是使用快时钟连续累积计数 8 个慢时钟的值。

17.4.2 时钟校准寄存器

17.4.2.1 CAL_CR0 (0x403E) CAL_CR1 (0x403F)

CAL_CR0(0x403E)								
位	15	14	13	12	11	10	9	8
名称	CAL_STA /CAL_BUSY	RSV		CAL_ARR[12:8]				
类型	R/W1	-	-	R/W	R/W	R/W	R/W	R/W
复位值	1	-	-	0	0	0	0	0
CAL_CR1(0x403F)								
位	7	6	5	4	3	2	1	0
名称	CAL_ARR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15]	CAL_STA /CAL_BUSY	时钟校准使能 读:						

		0: 不在校准过程中 1: 正在进行校准 写: 0: 无意义 1: 启动时钟校准功能
[14:13]	RSV	保留
[12:0]	CAL_ARR	校准计数值 使用快时钟连续累积计数 8 个慢时钟周期的值 注: 当此值为 0 时表示无对应慢时钟输入, 当此值为 0x1FFF 时表示计数溢出 (慢时钟过慢或快时钟过快)。

18 IO

18.1 IO 简介

FU5821T 支持 8 个 GPIO 引脚，分别为 P0.1 ~ P0.4、P0.6、P1.1 ~ P1.2、P1.6。FU5821Q 支持 12 个 GPIO 引脚，分别为 P0.1 ~ P0.6、P1.1 ~ P1.6。

18.2 IO 配置

每个 GPIO 端口配置有相关的寄存器以满足不同的应用需求。如：P0.0 映射到寄存器 P0，P1.0 映射到寄存器 P1，通过 P0_OE、P1_OE 配置端口的数字输入输出。

- 上、下拉电阻使能对应的位为 1，具体端口与寄存器名称请参考 18.3.5 P0_PU (0x4033)~18.3.6 P1_PU (0x4034)。
- 上、下拉电阻阻值请参考 5.3 GPIO 电气特性
- 配置 P0_AN、P1_AN 对应的位为 1 使能模拟信号模式，具体端口与寄存器名称请参考 18.3.3 P0_AN (0x4031)~18.3.4 P1_AN (0x4030)。端口配置为模拟信号端口后，所有数字功能失效，寄存器 P0、P1 对应的位读出的端口状态为 0。
- P0.2 ~ P0.6、P1.1、P1.4 ~ P1.6 在端口配置为模拟模式后上拉会自动关闭
- P1.1 支持防倒灌
- U、V 的输出源为 Timer1 模块产生的 OCUH/OCVH 和 OCUL/OCVL 信号。其中，信号类型通过 DRV_OUT[MOEH]/DRV_OUT[MOEL]配置：为 0 时选择寄存器配置的空闲电平 (DRV_OUT[OISUH]/DRV_OUT[OISVH]和 DRV_OUT[OISUL]/DRV_OUT[OISVL])，为 1 时选择 PWM 信号 OCUH/OCVH 和 OCUL/OCVL。
- DRV_OUT 寄存器的 DRV_OUT[MOEH]/DRV_OUT[MOEL]可以由软件清 0 和置 1，当发生过流保护时硬件会自动清 0

18.3 IO 寄存器

18.3.1 P0_OE (0xFC)

位	7	6	5	4	3	2	1	0	
名称	RSV		P0_OE						RSV
类型	-	-	R/W	R/W	R/W	R/W	R/W	-	
复位值	-	-	0	0	0	0	0	-	
位	名称	描述							
[7:6]	RSV	保留							
[5:1]	P0_OE	P0.1 ~ P0.5 的数字输入输出选择 0: 输入 1: 输出							
[0]	RSV	保留							

18.3.2 P1_OE (0xFD)

位	7	6	5	4	3	2	1	0
名称	RSV	P1_OE						RSV
类型	-	R/W	R/W	R/W	R/W	R/W	R/W	-
复位值	-	0	0	0	0	0	0	-
位	名称	描述						
[7]	RSV	保留						
[6:1]	P1_OE	P1.1 ~ P1.6 的数字输入输出选择 0: 输入 1: 输出						
[0]	RSV	保留						

18.3.3 P0_AN (0x4031)

位	7	6	5	4	3	2	1	0	
名称	RSV	P0_AN						RSV	
类型	-	R/W	R/W	R/W	R/W	R/W	-	-	
复位值	-	0	0	0	0	0	-	-	
位	名称	描述							
[7]	RSV	保留							
[6:2]	P0_AN	P0.2 ~ P0.6 模拟模式使能 0: 不使能 1: 使能							
[1:0]	RSV	保留							

18.3.4 P1_AN (0x4030)

位	7	6	5	4	3	2	1	0	
名称	RSV	P1_AN				RSV		P11_AN	HBMOD
类型	-	R/W	R/W	R/W	-	-	R/W	R/W	
复位值	-	0	0	0	-	-	0	0	
位	名称	描述							

[7]	RSV	保留															
[6:4]	P1_AN	P1.4 ~ P1.6 的模拟模式使能 0: 不使能 1: 使能															
[3:2]	RSV	保留															
[1]	P11_AN	P1.1 模拟模式使能 0: 不使能 1: 使能															
[0]	HBMOD	<p>P1.3 模式配置，与 P1_OE[3] 组合决定 P1.3 的功能模式如表 18-1 所示</p> <p style="text-align: center;">表 18-1 P1.3 模式配置</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%;">HBMOD</th> <th style="width: 15%;">P1_OE[3]</th> <th style="width: 70%;">P1.3 模式</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>数字输入</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>数字输出</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>模拟模式</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>数字强驱动输出模式，输出高时最大输出电流可达到 20mA，用于 Hall 的偏置电压输出。输出低的驱动模式与数字输出模式相同。</td> </tr> </tbody> </table>	HBMOD	P1_OE[3]	P1.3 模式	0	0	数字输入	0	1	数字输出	1	0	模拟模式	1	1	数字强驱动输出模式，输出高时最大输出电流可达到 20mA，用于 Hall 的偏置电压输出。输出低的驱动模式与数字输出模式相同。
HBMOD	P1_OE[3]	P1.3 模式															
0	0	数字输入															
0	1	数字输出															
1	0	模拟模式															
1	1	数字强驱动输出模式，输出高时最大输出电流可达到 20mA，用于 Hall 的偏置电压输出。输出低的驱动模式与数字输出模式相同。															

18.3.5 P0_PU (0x4033)

位	7	6	5	4	3	2	1	0	
名称	RSV	P0_PU					RSV		
类型	-	R/W	R/W	R/W	R/W	R/W	-	-	
复位值	-	0	0	0	0	0	-	-	
位	名称	描述							
[7]	RSV	保留							
[6:2]	P0_PU	P0.2 ~ P0.6 上拉电阻使能 0: 不使能 1: 使能							
[1:0]	RSV	保留							

18.3.6 P1_PU (0x4034)

位	7	6	5	4	3	2	1	0
名称	LVMOD	P1_PU						P11_PL
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[7]	LVMOD	P1.1 1.8V 输入模式使能 0: 不使能 1: 使能						
[6:1]	P1_PU	P1.1 ~ P1.6 上拉电阻使能 0: 不使能 1: 使能						
[0]	P11_PL	P1.1 下拉电阻使能 0: 不使能 1: 使能						

18.3.7 PH_SEL (0x403C)

位	7	6	5	4	3	2	1	0
名称	UARTSSEL	UARTEN	T4CT	T4SEL	T3SEL	T2CT	T2SEL	RSV
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-
复位值	0	0	0	0	0	0	0	-

位	名称	描述
[7]	UARTSSEL	端口复用为 UART UART 端口功能转移 0: UART 端口不转移(RXD: P1.1, TXD: P0.1) 1: UART 端口转移(RXD: P1.1, TXDS: P1.2)
[6]	UARTEN	端口复用为 RXD、TXD 与 UART 使能 0: 不使能 1: P1.1、P0.1 复用为 RXD、TXD, 或 P1.1、P1.2 复用为 RXDS、TXDS 并使能 UART
[5]	T4CT	Timer4 功能转移 0: 功能不转移, 使用 P0.1 作为 Timer4 的输入输出 1: 功能转移, 使用 P1.2 作为 Timer4 的输入输出
[4]	T4SEL	端口复用为 Timer4 或 Timer4S 0: 不复用 1: P0.1 或 P1.2(功能转移 PH_SEL[T4CT] = 1)作为 Timer4 的输入输出
[3]	T3SEL	端口复用为 Timer3 0: 不复用 1: P1.1 作为 Timer3 的输入输出
[2]	T2CT	Timer2 功能转移 0: 功能不转移, 使用 P1.2 作为 Timer2 的输入输出 1: 功能转移, 使用 P0.4 作为 Timer2 的输入输出
[1]	T2SEL	端口复用为 Timer2 或 Timer2S 0: 不复用 1: P1.2 或 P0.4(功能转移 PH_SEL[T2CT] = 1)作为 Timer2 的输入输出
[0]	RSV	保留

18.3.8 P0 (0x80)

端口输出寄存器 P0/1 支持读写访问, RMW 指令访问的是寄存器的值(RMW 指令参见表 18-2), 其他指令访问的是 PORT 管脚。

位	7	6	5	4	3	2	1	0
名称	RSV	GP06	GP05	GP04	GP03	GP02	GP01	RSV
类型	-	R/W	R/W	R/W	R/W	R/W	R/W	-
复位值	-	0	0	0	0	0	0	-

位	名称	描述
[7]	RSV	保留
[6]	GP06	端口 GP06
[5]	GP05	端口 GP05
[4]	GP04	端口 GP04
[3]	GP03	端口 GP03
[2]	GP02	端口 GP02

[1]	GP01	端口 GP01
[0]	RSV	保留

18.3.9 P1 (0x90)

位	7	6	5	4	3	2	1	0
名称	RSV	GP16	GP15	GP14	GP13	GP12	GP11	RSV
类型	-	R/W	R/W	R/W	R/W	R/W	R/W	-
复位值	-	0	0	0	0	0	0	-

位	名称	描述
[7]	RSV	保留
[6]	GP16	端口 GP16
[5]	GP15	端口 GP15
[4]	GP14	端口 GP14
[3]	GP13	端口 GP13
[2]	GP12	端口 GP12
[1]	GP11	端口 GP11
[0]	RSV	保留

表 18-2 RMW 指令表

指令	功能描述
ANL	逻辑按位与运算
ORL	逻辑按位或运算
XRL	逻辑按位异或运算
JBC	位为 1 判断跳转，为 1 时跳转，并把位清 0
CPL	位取反运算
INC, DEC	加 1, 减 1 运算
DJNZ	自减后判断是否为 0 跳转，不为零跳转
MOV Px, y, C	将进位 C 赋值给端口 Px, y
CLR Px, y	端口 Px, y 清 0
SETB Px, y	端口 Px, y 置 1

19 ADC

19.1 ADC 简介

芯片的 ADC 是一个 10 位逐次逼近型 ADC，支持 11 个通道(FU5821T 可用外部通道为 6 个)，其中 ADC 通道 0 ~ 9 为外部引脚 ADC 通道，ADC 通道 10 为内部 ADC 通道，VCC 引脚经过 1/10 电阻分压比后直接送入 ADC 通道 10 进行采样。采样方式支持顺序采样(即从 ADC 通道 0 依次到 ADC 通道 10)和触发采样(Timer2 触发采样模式)，采样结果会以右对齐或左次高位对齐的格式存入 ADCx_DR(x = 0 ~ 10)。如图 19-1 所示：

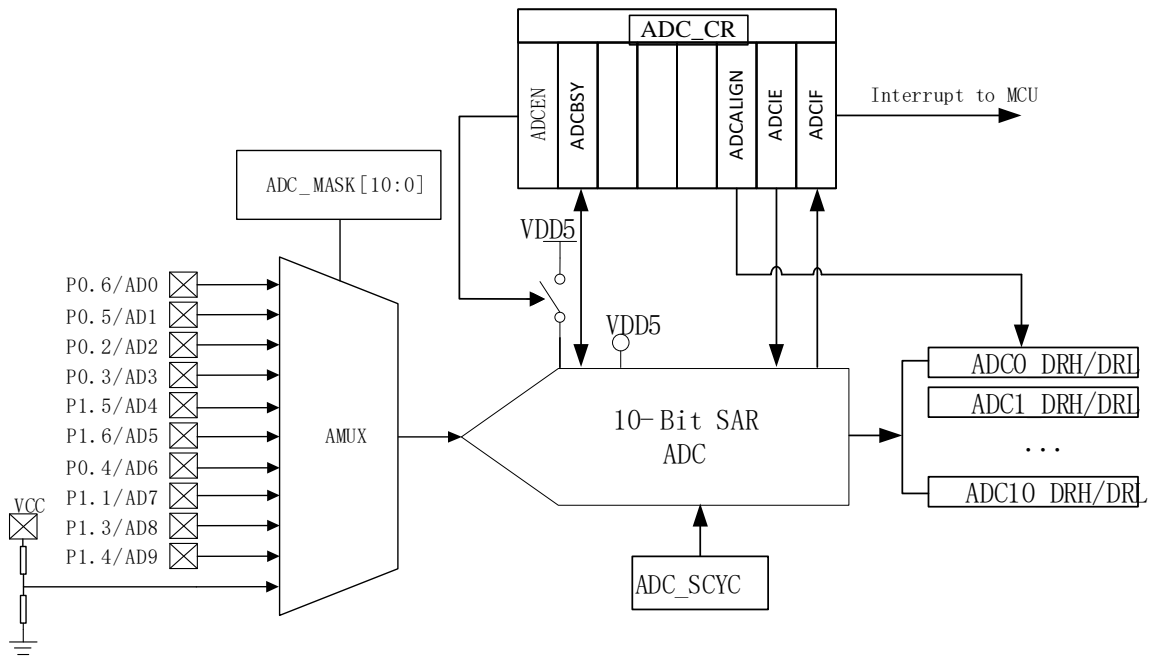


图 19-1 ADC 功能框图

19.2 ADC 操作说明

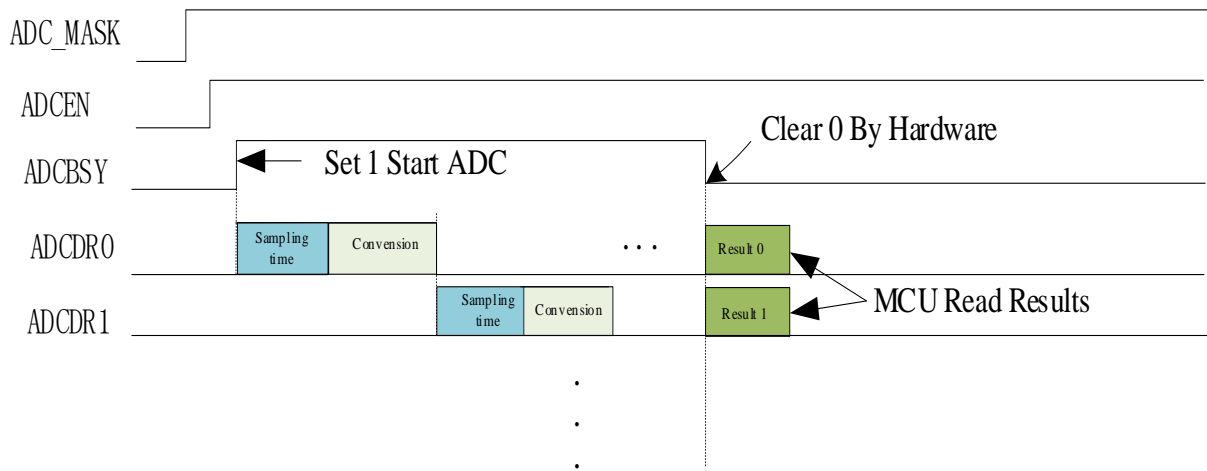


图 19-2 ADC 顺序扫描采样时序图

如图 19-2 所示，启动 ADC 操作如下：

1. 使能需采样的通道，即设置寄存器ADC_MASK；
2. 设置每个通道的采样时钟周期延时(最小值为3)；
3. 配置ADC_CR[ADCEN] = 1，使能ADC；
4. 配置ADC_CR[ADCBSY] = 1，ADC开始工作；
5. 确认ADC_CR[ADCBSY] = 0，再读取ADC转换结果。

19.2.1 输出数据格式

寄存器 ADCx_DRH 和 ADCx_DRL 包含每次转换完成时 ADC 输出转换数据的高字节和低字节。数据可以根据 ADC_CR[ADCALIGN]选择右对齐或左次高位对齐。当输入电压从 0 ~ VDD5，输出数据数值如表 19-1 所示。ADCx_DRH 和 ADCx_DRL 寄存器中未使用的位被置为 0。

表 19-1 输出数据数值与对齐方式的关系

输入电压	右对齐	左次高位对齐
0	0x0000	0x0000
VDD5/2	0x0200	0x4000
VDD5	0x03FF	0x7FE0

19.3 ADC 寄存器

19.3.1 ADC_CR (0x4039)

位	7	6	5	4	3	2	1	0
名称	ADCEN	ADCBSY	RSV			ADCALIGN	ADCIE	ADCIF
类型	R/W	R/W1	-	-	-	R/W	R/W	R/W0
复位值	0	0	-	-	-	0	0	0
位	名称	描述						
[7]	ADCEN	ADC 使能 0: 不使能 1: 使能						
[6]	ADCBSY	ADC 启动&ADC 忙标志位 读: 0: ADC 空闲 1: ADC 忙 写: 0: 无意义 1: 启动 ADC 转换 注: ADC_MASK = 0 时此位写 1 无意义						
[5:3]	RSV	保留						
[2]	ADCALIGN	ADC 数据格式选择 0: ADC 数据右对齐, ADC 结果为 ADCx_DR[9:0] 1: ADC 数据左次高位对齐, ADC 结果为 ADCx_DR[14:5]						
[1]	ADCIE	ADC 中断使能 0: 不使能 1: 使能						
[0]	ADCIF	ADC 中断事件标志位 当本次 ADC 转换完成时, 硬件置 1 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清 0 1: 无意义						

19.3.2 ADC_MASK (0x4036, 0x4037)

ADC_MASKH(0x4036)								
位	15	14	13	12	11	10	9	8
名称	RSV					CH10EN	CH9EN	CH8EN
类型	-	-	-	-	-	R/W	R/W	R/W
复位值	-	-	-	-	-	0	0	0
ADC_MASKL(0x4037)								
位	7	6	5	4	3	2	1	0
名称	CH7EN	CH6EN	CH5EN	CH4EN	CH3EN	CH2EN	CH1EN	CHOEN
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述
[15:11]	RSV	保留位
[10]	CH10EN	ADC 通道 10 使能
[9]	CH9EN	ADC 通道 9 使能
[8]	CH8EN	ADC 通道 8 使能
[7]	CH7EN	ADC 通道 7 使能
[6]	CH6EN	ADC 通道 6 使能
[5]	CH5EN	ADC 通道 5 使能
[4]	CH4EN	ADC 通道 4 使能
[3]	CH3EN	ADC 通道 3 使能
[2]	CH2EN	ADC 通道 2 使能
[1]	CH1EN	ADC 通道 1 使能
[0]	CH0EN	ADC 通道 0 使能

19.3.3 ADC_SCYC (0x4038)

ADC_SCYC(0x4038)								
位	7	6	5	4	3	2	1	0
名称	RSV		ADC_SCYC[5:4]		ADC_SCYC[3:2]		ADC_SCYC[1:0]	
类型	-	-	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	-	0	1	0	1	0	1
位	名称	描述						
[7:6]	RSV	保留						
[5:4]	ADC_SCYC [5:4]	ADC 采样周期设置, ADC 通道 8 ~ 10 共用设置 00: 0.6 μ s 01: 1.3 μ s, 默认值 10: 2 μ s 11: 2.6 μ s						
[3:2]	ADC_SCYC [3:2]	ADC 采样周期设置, ADC 通道 4 ~ 7 共用设置 00: 0.6 μ s 01: 1.3 μ s, 默认值 10: 2 μ s 11: 2.6 μ s						
[1:0]	ADC_SCYC [1:0]	ADC 采样周期设置, ADC 通道 0 ~ 3 共用设置 00: 0.6 μ s 01: 1.3 μ s, 默认值 10: 2 μ s 11: 2.6 μ s						

19.3.4 ADC0_DR (0x0100, 0x0101)

ADC0_DRH(0x0100)								
位	15	14	13	12	11	10	9	8
名称	ADC0_DR[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
ADC0_DRL(0x0101)								
位	7	6	5	4	3	2	1	0
名称	ADC0_DR[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

位	名称	描述
[15:0]	ADC0_DR	顺序采样模式 ADC 转换完成后, ADC 通道 0 转换结果数据根据 ADC_CR[ADCALIGN] 选择对齐方式

19.3.5 ADC1_DR (0x0102, 0x0103)

ADC1_DRH(0x0102)								
位	15	14	13	12	11	10	9	8
名称	ADC1_DR[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
ADC1_DRL(0x0103)								
位	7	6	5	4	3	2	1	0
名称	ADC1_DR[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	ADC1_DR	顺序采样模式 ADC 转换完成后, ADC 通道 1 转换结果数据根据 ADC_CR[ADCALIGN] 选择对齐方式						

19.3.6 ADC2_DR (0x0104, 0x0105)

ADC2_DRH(0x0104)								
位	15	14	13	12	11	10	9	8
名称	ADC2_DR[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
ADC2_DRL(0x0105)								
位	7	6	5	4	3	2	1	0
名称	ADC2_DR[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	ADC2_DR	顺序采样模式 ADC 转换完成后, ADC 通道 2 转换结果数据根据 ADC_CR[ADCALIGN] 选择对齐方式						

19.3.7 ADC3_DR (0x0106, 0x0107)

ADC3_DRH(0x0106)								
位	15	14	13	12	11	10	9	8
名称	ADC3_DR[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
ADC3_DRL(0x0107)								
位	7	6	5	4	3	2	1	0
名称	ADC3_DR[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

位	名称	描述
[15:0]	ADC3_DR	顺序采样模式 ADC 转换完成后, ADC 通道 3 转换结果数据根据 ADC_CR[ADCALIGN] 选择对齐方式

19.3.8 ADC4_DR (0x0108, 0x0109)

ADC4_DRH(0x0108)								
位	15	14	13	12	11	10	9	8
名称	ADC4_DR[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
ADC4_DRL(0x0109)								
位	7	6	5	4	3	2	1	0
名称	ADC4_DR[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	ADC4_DR	顺序采样模式 ADC 转换完成后, ADC 通道 4 转换结果数据根据 ADC_CR[ADCALIGN] 选择对齐方式						

19.3.9 ADC5_DR (0x010A, 0x010B)

ADC5_DRH(0x010A)								
位	15	14	13	12	11	10	9	8
名称	ADC5_DR[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
ADC5_DRL(0x010B)								
位	7	6	5	4	3	2	1	0
名称	ADC5_DR[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	ADC5_DR	顺序采样模式 ADC 转换完成后, ADC 通道 5 转换结果数据根据 ADC_CR[ADCALIGN] 选择对齐方式						

19.3.10 ADC6_DR (0x010C, 0x010D)

ADC6_DRH(0x010C)								
位	15	14	13	12	11	10	9	8
名称	ADC6_DR[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
ADC6_DRL(0x010D)								
位	7	6	5	4	3	2	1	0
名称	ADC6_DR[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位	名称	描述						

[15:0]	ADC6_DR	顺序采样模式 ADC 转换完成后, ADC 通道 6 转换结果数据根据 ADC_CR[ADCALIGN] 选择对齐方式
--------	---------	---

19.3.11 ADC7_DR (0x010E, 0x010F)

ADC7_DRH(0x010E)								
位	15	14	13	12	11	10	9	8
名称	ADC7_DR[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
ADC7_DRL(0x010F)								
位	7	6	5	4	3	2	1	0
名称	ADC7_DR[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	ADC7_DR	顺序采样模式 ADC 转换完成后, ADC 通道 7 转换结果数据根据 ADC_CR[ADCALIGN] 选择对齐方式						

19.3.12 ADC8_DR (0x0110, 0x0111)

ADC8_DRH(0x0110)								
位	15	14	13	12	11	10	9	8
名称	ADC8_DR[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
ADC8_DRL(0x0111)								
位	7	6	5	4	3	2	1	0
名称	ADC8_DR[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	ADC8_DR	顺序采样模式 ADC 转换完成后, ADC 通道 8 转换结果数据根据 ADC_CR[ADCALIGN] 选择对齐方式						

19.3.13 ADC9_DR (0x0112, 0x0113)

ADC9_DRH(0x0112)								
位	15	14	13	12	11	10	9	8
名称	ADC9_DR[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
ADC9_DRL(0x0113)								
位	7	6	5	4	3	2	1	0
名称	ADC9_DR[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位	名称	描述						

[15:0]	ADC9_DR	顺序采样模式 ADC 转换完成后, ADC 通道 9 转换结果数据根据 ADC_CR[ADCALIGN] 选择对齐方式
--------	---------	---

19.3.14 ADC10_DR (0x0114, 0x0115)

ADC10_DRH(0x0114)								
位	15	14	13	12	11	10	9	8
名称	ADC10_DR[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
ADC10_DRL(0x0115)								
位	7	6	5	4	3	2	1	0
名称	ADC10_DR[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[15:0]	ADC10_DR	顺序采样模式 ADC 转换完成后, ADC 通道 10 转换结果数据根据 ADC_CR[ADCALIGN] 选择对齐方式						

20 比较器

20.1 比较器操作说明

20.1.1 比较器 CMP0

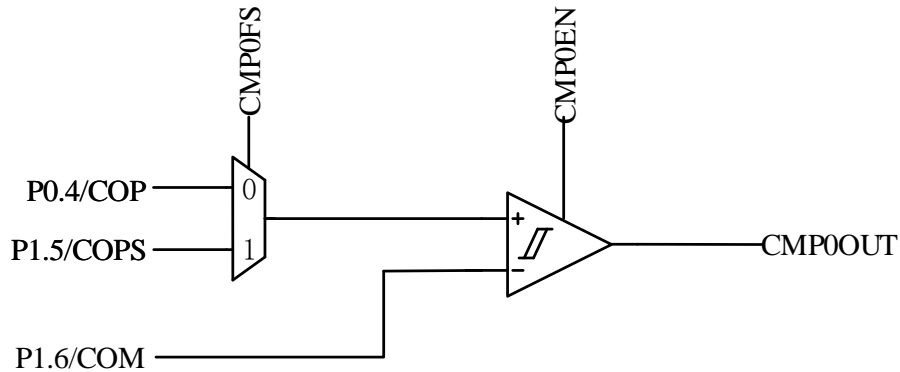


图 20-1 比较器 CMP0 的输入输出信号

配置比较器 CMP0 的步骤为：

1. 配置 CMP_CR0[CMP0FS]，选择 P0.4 或 P1.5 作为正向输入端口；
2. 配置 CMP_CR0[CMP0EN] = 1，使能 CMP0。

20.1.2 过流比较器 OCP

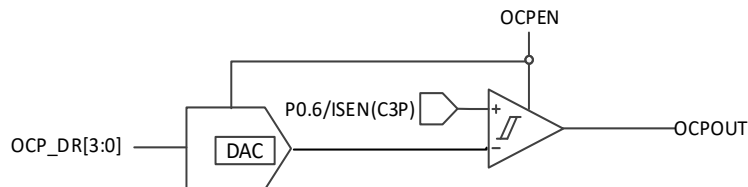


图 20-2 过流比较器 OCP 的输入输出信号

过流保护根据过流保护信号，自动关闭驱动输出，以达到保护芯片和电机的目的。

配置 CMP_CR2[OCP_SRC]来选择过流保护信号的来源。当 CMP_CR2[OCP_SRC] = 0 时，过流保护信号来源于过流比较器 OCP。母线采样电压从 P0.6/ISEN 管脚输入到 OCP 的正端，配置 OCP_DR 寄存器设置过流比较阈值，产生相应的 DAC 电压输入到 OCP 的负端。将 CMP_CR2[OCP_EN]置 1 使能 OCP 后，OCP0UT 输出过流比较结果(即过流保护信号)。

配置 CMP_CR2[LOCP_DIV]使能对过流保护事件的输入信号的滤波功能，通过 CMP_CR2[LOCP_DIV] = 00/01/10/11 选择滤波宽度 4/8/16/32 个时钟周期。滤波后的信号会比滤波前的信号延迟 4/8/16/32 个时钟周期。

配置 $CMP_CR2[OCP_IM]$ 选择 OCP 中断和过流保护事件的触发时机。过流保护事件触发后是否关闭上/下桥输出取决于 $CMP_CR2[OCP_MOEH_EN]$ 和 $CMP_CR2[OCP_MOEL_EN]$ 信号。配置 $CMP_CR2[OCP_MOEH_EN] = 1$ 时，关闭上桥输出。配置 $CMP_CR2[OCP_MOEL_EN] = 1$ 时，关闭下桥输出。两者可同时为 1。

20.1.3 限流比较器 LCP

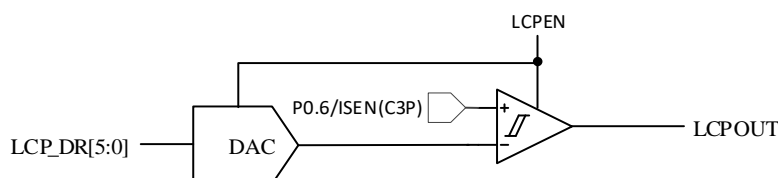


图 20-3 限流比较器 LCP 的输入输出信号

逐波限流根据限流保护信号，短暂关闭驱动输出，又自动恢复输出，从而在不使电机停转的前提下保护芯片和电机。

母线采样电压从 P0.6/ISEN 管脚输入到 LCP 的正端，配置 LCP_DR 寄存器产生相应的 DAC 电压输入到 LCP 的负端，将 $CMP_CR1[LCP_EN]$ 置 1 使能 LCP 后， $CMP_SR[LCPOUT]$ 输出限流比较结果(即限流保护信号)。

$CMP_CR2[LOCP_DIV]$ 使能对限流保护事件的输入信号的滤波功能，通过 $CMP_CR2[LOCP_DIV] = 00/01/10/11$ 选择滤波宽度 4/8/16/32 个时钟周期。滤波后的信号会比滤波前的信号延迟 4/8/16/32 个时钟周期。

配置 $CMP_CR1[LCP_IM]$ 选择 LCP 中断和限流保护事件的触发时机。限流保护事件触发后是否关闭上/下桥输出取决于 $CMP_CR1[LCP_MOEH_EN]$ 和 $CMP_CR1[LCP_MOEL_EN]$ 信号。当配置 $CMP_CR1[LCP_MOEH_EN] = 1$ 时，将 $DRV_OUT[MOEH]$ 清 0 关闭上桥输出。配置 $CMP_CR1[LCP_MOEL_EN] = 1$ 时，将 $DRV_OUT[MOEL]$ 清 0 关闭下桥输出。两者可同时置 1。通过控制 $CMP_CR1[LCP_MOE_MD] = 00/01/10/11$ 选择一个载波周期/半个载波周期/9 μ s/4 μ s 后自动将 $DRV_OUT[MOEH]$ 、 $DRV_OUT[MOEL]$ 置 1 恢复输出。

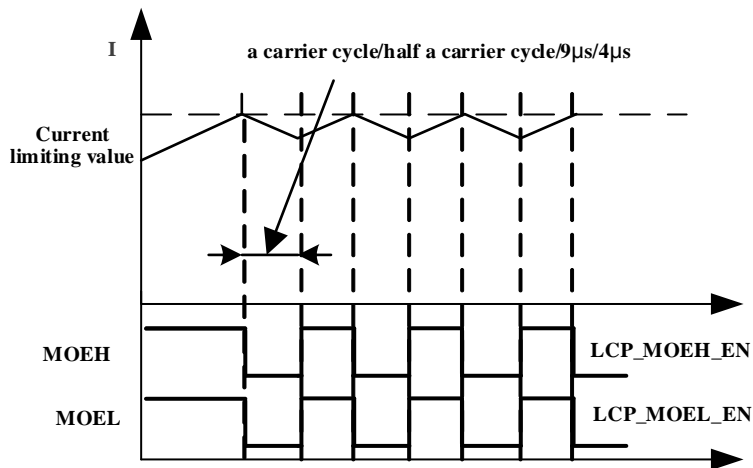


图 20-4 逐波限流

20.1.4 比较器 Hall_COMP

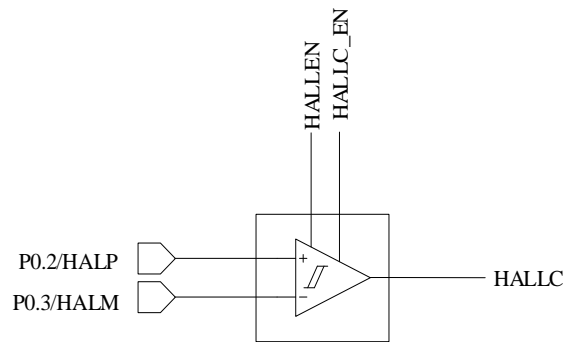


图 20-5 Hall_COMP 模块示意图

如需使用 Hall_COMP，则需配置 CMP_CR3[Hall_EN]与 CMP_CR3[HallC_EN]为 1 使能 Hall_COMP 输出。通过 CMP_CR3[Hall_HYS]设置比较器迟滞。

20.2 比较器寄存器

20.2.1 CMP_CR0 (0xD5)

位	7	6	5	4	3	2	1	0
名称	RSV		CMPOIM		CMPOHYS		CMPOFS	CMPOEN
类型	-	-	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	-	0	0	0	0	0	0
位	名称	描述						
[7:6]	RSV	保留						
[5:4]	CMPOIM	CMPO 中断模式 00: 不产生中断 01: 上升沿产生中断 10: 下降沿产生中断						

		11: 上升/下降沿均产生中断
[3:2]	CMPOHYS	CMPO 迟滞电压选择 00: 无迟滞 01: 5mV 10: 10mV 11: 15mV
[1]	CMPOFS	CMPO 功能转移 0: 功能不转移, P0.4 为 CMPO 正输入端 1: 功能转移, P1.5 为 CMPO 正输入端
[0]	CMPOEN	CMPO 使能 0: 不使能 1: 使能

20.2.2 CMP_CR1 (0xD6)

位	7	6	5	4	3	2	1	0
名称	LCP_MOE_MD		LCP_IM		LCP_MOEH_EN	LCP_MOEL_EN	RSV	LCP_EN
类型	R/W	R/W	R/W	R/W	R/W	R/W	-	R/W
复位值	0	0	0	0	0	0	-	0
位	名称		描述					
[7:6]	LCP_MOE_MD		限流保护后恢复输出时间 00: 一个载波周期 01: 半个载波周期 10: 9μs 11: 4μs					
[5:4]	LCP_IM		限流保护事件和 LCP 中断的触发模式 00: 不触发限流保护事件和 LCP 中断 01: 上升沿触发限流保护事件和 LCP 中断 10: 下降沿触发限流保护事件和 LCP 中断 11: 上升沿触发限流保护事件, 但不触发 LCP 中断					
[3]	LCP_MOEH_EN		触发限流保护事件时上桥关断使能 0: 不使能 1: 使能					
[2]	LCP_MOEL_EN		触发限流保护事件时下桥关断使能 0: 不使能 1: 使能					
[1]	RSV		保留					
[0]	LCP_EN		LCP 使能 0: 不使能 1: 使能					

20.2.3 CMP_CR2 (0xD9)

位	7	6	5	4	3	2	1	0
名称	LOCP_DIV		OCP_IM		OCP_MOEH_EN	OCP_MOEL_EN	OCP_SRC	OCP_EN
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位	名称		描述					
[7:6]	LOCP_DIV		限流/过流保护信号滤波设置 00: 160ns					

		01: 320ns 10: 640ns 11: 1000ns
[5:4]	OCP_IM	过流保护事件和 OCP 中断的触发模式 00: 不触发过流保护事件和 OCP 中断 01: 上升沿触发过流保护事件和 OCP 中断 10: 下降沿触发过流保护事件和 OCP 中断 11: 上升沿、下降沿均触发过流保护事件和 OCP 中断
[3]	OCP_MOEH_EN	过流保护触发时上桥关断使能 0: 不使能 1: 使能
[2]	OCP_MOEL_EN	过流保护触发时下桥关断使能 0: 不使能 1: 使能
[1]	OCP_SRC	过流保护信号源选择 0: OCP 1: 外部中断 INTO
[0]	OCP_EN	OCP 使能 0: 不使能 1: 使能

20.2.4 CMP_CR3 (0xDA)

位	7	6	5	4	3	2	1	0
名称	HALL_HYS		HCK_SEL	HALL_EN	HALLC_EN	RSV		
类型	R/W	R/W	R/W	R/W	R/W	-	-	-
复位值	0	0	0	0	0	-	-	-
位	名称	描述						
[7:6]	HALL_HYS	HALL_COMP 迟滞电压选择 00: 无迟滞 01: 10mV(默认值) 10: 20mV 11: 30mV						
[5]	HCK_SEL	HALL_COMP 频率选择 0: 1.5MHz, 默认值 1: 0.75MHz						
[4]	HALL_EN	Hall 比较器模式使能 0: 不使能 1: 使能						
[3]	HALLC_EN	HallC 比较器模式使能 0: 不使能 1: 使能						
[2:0]	RSV	保留						

20.2.5 CMP_SR (0xD7)

位	7	6	5	4	3	2	1	0
名称	RSV	OCPIF	LCPIF	CMPOIF	RSV	OCPOUT	LCPOUT	CMPOOUT
类型	-	R/WO	R/WO	R/WO	-	R	R	R
复位值	-	0	0	0	-	0	0	0

位	名称	描述
[7]	RSV	保留
[6]	OCPIF	OCP 中断事件标志位 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清 0 1: 无意义
[5]	LCPIF	LCP 中断事件标志位 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清 0 1: 无意义
[4]	CMPOIF	CMPO 中断事件标志位 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清 0 1: 无意义
[3]	RSV	保留
[2]	OCPOUT	OCP 的比较结果
[1]	LCPOUT	LCP 的比较结果
[0]	CMPOOUT	CMPO 的比较结果

20.2.6 LCP_DR (0x403A)

位	7	6	5	4	3	2	1	0
名称	RSV		LCP_DR					
类型	-	-	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	-	0	0	0	0	0	0
位	名称	描述						
[7:6]	RSV	保留						
[5:0]	LCP_DR	LCP 限流保护参考电压设置: 限流保护参考电压 = 58mV + 4.8mV*LCP_DR						

20.2.7 OCP_DR (0x403B)

位	7	6	5	4	3	2	1	0
名称	RSV				OCP_DR[3:0]			
类型	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0
位	名称	描述						
[7:4]	RSV	保留						
[3:0]	OCP_DR	OCP 过流保护参考电压设置 0000: 78mV 0001: 97mV						

		0010: 116mV 0011: 135mV 0100: 154mV 0101: 173mV 0110: 192mV 0111: 211mV 1000: 240mV 1001: 269mV 0010: 297mV 1011: 326mV 1100: 354mV 1101: 383mV 1110: 412mV 1111: 440mV
--	--	--

20.2.8 TSD_CR (0x402F)

位	7	6	5	4	3	2	1	0
名称	TSDEN	RSV			TSDADJ			
类型	R/W	-	-	-	R/W	R/W	R/W	R/W
复位值	0	-	-	-	1	1	1	1
位	名称	描述						
[7]	TSDEN	温度检测功能使能 0: 不使能 1: 使能						
[6:4]	RSV	保留						
[3:0]	TSDADJ	过温保护温度(测量的芯片结温) 0000: 71°C 0001: 75°C 0010: 80°C 0011: 84°C 0100: 89°C 0101: 94°C 0110: 99°C 0111: 105°C 1000: 111°C 1001: 116°C 1010: 123°C 1011: 131°C 1100: 136°C 1101: 142°C 1110: 148°C 1111: 155°C						

21 低压检测

21.1 低压检测简介

MCU 低压检测用于监控 VCC 电压，并根据不同的阈值作出不同的响应。低压检测包括三个部分：

低压预警、低压复位、欠压保护。

21.1.1 低压预警

低压预警功能无需用户手动开启，用户通过 LVW Config 调整所需的低压预警阈值(7/8/9/10V)。如果使能 LVW 中断，当 VCC 电压低于低压预警阈值时，将触发 LVW 中断。LVW Config 和 LVW 中断使能可以在 IDE 的 Register Config 中设置。

21.1.2 低压复位

低压复位功能无需用户手动开启，用户通过 LVR Config 调整所需的低压复位阈值(2.8/3.0/3.5/3.8V)。当 VCC 电压低于低压复位阈值时，将触发低压复位。LVR Config 可以在 IDE 的 Register Config 中设置。

21.1.3 欠压保护

欠压保护功能需要用户手动开启，用户通过 UnderVolProtect En 设置是否打开欠压保护。当 VCC 电压低于 $3.9 \pm 0.4V$ 时，欠压保护将生效；当 VCC 电压高于 $4.9 \pm 0.4V$ 时，欠压保护将解除。欠压保护生效时，DRV 仍能正常工作，但无法输出驱动信号。UnderVolProtect En 可以在 IDE 的 Register Config 中设置。

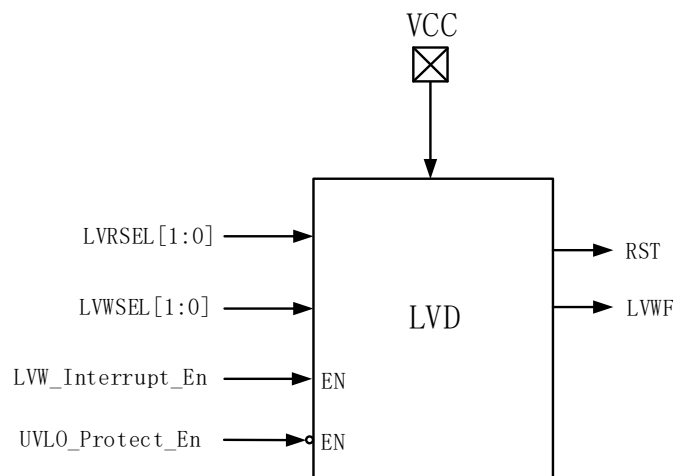


图 21-1 低电压检测模块

21.1.4 低压检测寄存器

21.1.4.1 LVSR (0xDB)

位	7	6	5	4	3	2	1	0
名称	EXT1CFG			EXT0CFG			LVWF	LVWIF
类型	R/W	R/W	R/W	R/W	R/W	R/W	R	R/WO
复位值	0	0	0	0	0	0	0	0
位	名称	描述						

[7:5]	EXT1CFG	外部中断 INT1 接口选择 000: P1.1 001: P1.2 010: P1.3 011: P1.4 100: P1.5 101: P1.6 110: P0.4 111: P0.5
[4:2]	EXT0CFG	外部中断 INT0 接口选择 000: P0.1 001: P0.3 010: P0.4 011: P0.5 100: P1.1 101: P1.2 110: P1.4 111: P1.5
[1]	LVWF	VCC 低电压标志位 反映当前是否处于低电压状态 0: 当前无低电压报警 1: 当前低电压报警
[0]	LVWIF	VCC 低电压中断事件标志位 读: 0: 未发生中断事件 1: 发生中断事件 写: 0: 清 0 1: 无意义 注: 当低电压检测中断不使能, 该位不会硬件置 1

22 Flash

22.1 Flash 简介

芯片片内提供了 6k 字节的 Flash 空间，不仅支持全芯片擦除/写入，还支持扇区擦除/写入。

主要特性：

- 每个扇区为 128 字节，共计 48 个扇区
- 最后一个扇区(地址范围: 0x1780 ~ 0x17FF)任何时刻不会被擦除
- 扇区擦除和芯片擦除时间约 120ms ~ 150ms

22.2 Flash 操作说明

一次 Flash 操作可以按以下步骤进行

1. 通过 FLA_CR 设置要进行的 Flash 操作；
2. 通过 FLA_KEY 解除 Flash 操作限制；
3. 通过 `movx @dptr, a` 执行 Flash 操作；
4. 往 FLA_CR 写任意值以重新限制 Flash 操作。

需要注意的是：

- 由于 `movx` 指令在 Flash 解除操作限制的情况下用于执行 Flash 操作，所以建议在以上操作时先关闭总中断，以上操作执行完成后再恢复总中断之前的状态。
- 操作最后一个扇区，会触发 MCU 的 Flash 保护复位
- 执行 Flash 操作时，MCU 核心会暂停工作，其他外设仍正常运行

22.3 Flash 寄存器

22.3.1 FLA_CR (0x85)

位	7	6	5	4	3	2	1	0
名称	RSV			FLAERR	RSV	FLAPRE	FLAERS	FLAEN
类型	-	-	-	R	-	R/W	R/W	R/W
复位值	-	-	-	0	-	0	0	0
位	名称	描述						
[7:5]	RSV	保留						
[4]	FLAERR	编程出错标志位 0: 对 Flash 自写时, 编程或预编程操作成功 1: 对 Flash 自写时, 编程或预编程操作失败						
[3]	RSV	保留						
[2]	FLAPRE	扇区预编程使能(扇区擦除前须先对本扇区预编程) 0: 不使能 1: 使能 注: 只有在 FLA_CR[FLAEN]为 1 时, FLA_CR[FLAPRE]才起作用						
[1]	FLAERS	扇区擦除使能 0: 不使能 1: 使能 注: 只有在 FLA_CR[FLAEN]为 1 时, FLAERS 才起作用						
[0]	FLAEN	编程使能 0: 不使能 1: 使能						

22.3.2 FLA_KEY (0x84)

位	7	6	5	4	3	2	1	0
名称	FLA_KEY							
类型	W	W	W	W	W	W	W	W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[7:0]	FLA_KEY	写: 按顺序写入 0x5A, 0x1F 以解除 Flash 操作限制; 往 FLA_CR 写任意值以限制 Flash 操作						

位	7	6	5	4	3	2	1	0
名称	RSV						FLAKSTA	
类型	-	-	-	-	-	-	R	R
复位值	-	-	-	-	-	-	0	0
位	名称	描述						
[7:2]	RSV	保留						
[1:0]	FLAKSTA	读: 反映的是 Flash 解锁状态 00: 上锁						

		01: 0x5A 已经写入, 等待 0x1F 写入 10: 冻结 11: 开锁
--	--	---

23 CRC

23.1 CRC 功能框图

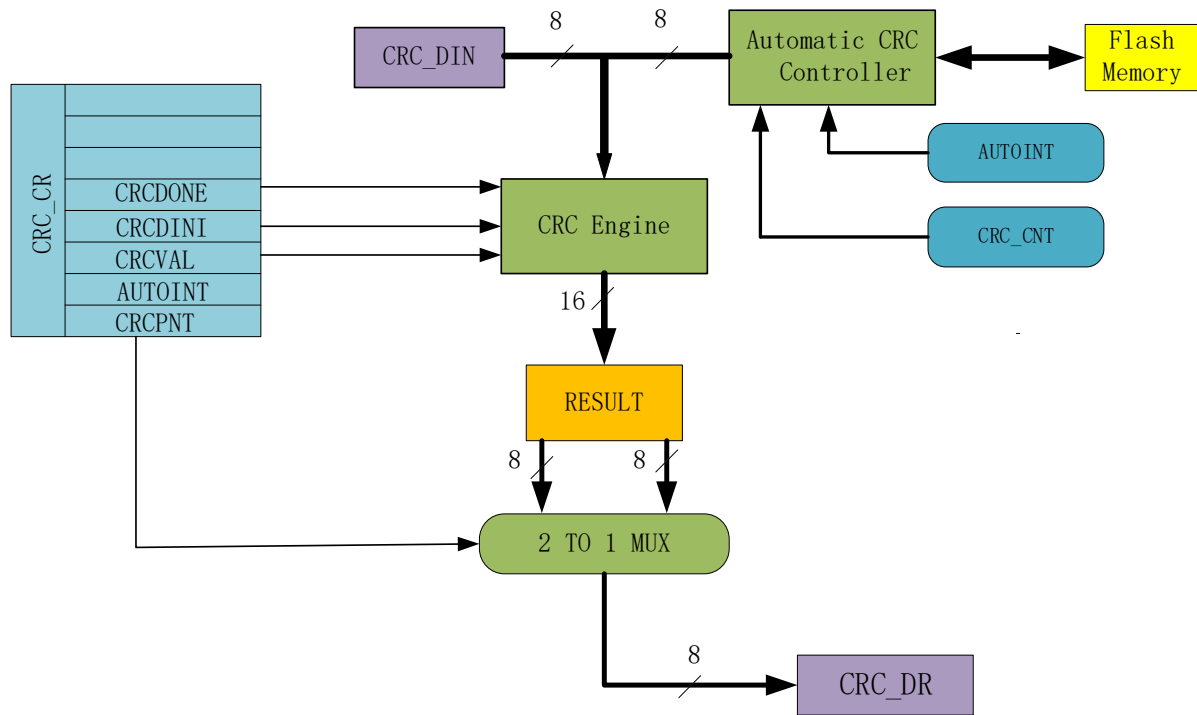


图 23-1 CRC 功能框图

CRC 根据固定的生成多项式得到任一 8 位数据的 CRC 计算结果。如图 23-1 所示，CRC 接收 CRC_DIN 寄存器的 8 位数据，计算完成后将 16 位结果发送至内部寄存器，通过 CRC_CR[CRCPNT] 和 CRC_DR 间接访问内部结果寄存器。

表 23-1 CRC 标准与多项式

序号	CRC 标准	生成多项式	16 进制表示
1	CRC12	$x^{12}+x^{11}+x^3+x^2+x+1$	0x80F
2	CRC16	$x^{16}+x^{15}+x^2+1$	0x8005
3	CRC16-CCITT-FALSE	$x^{16}+x^{12}+x^5+1$	0x1021
4	CRC32	$x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^8+x^9+x^5+x^4+x+1$	0x04C11DB7

23.2 CRC16 多项式

芯片基于 CRC16-CCITT-FALSE 标准的多项式： $x^{16}+x^{12}+x^5+1$ 。

23.3 CRC16 基本逻辑图

如图 23-2 为串行 CRC16 的电路原理图，芯片采用并行算法实现，对每个输入字节，MCU 用 1 个系统时钟即可计算出结果。

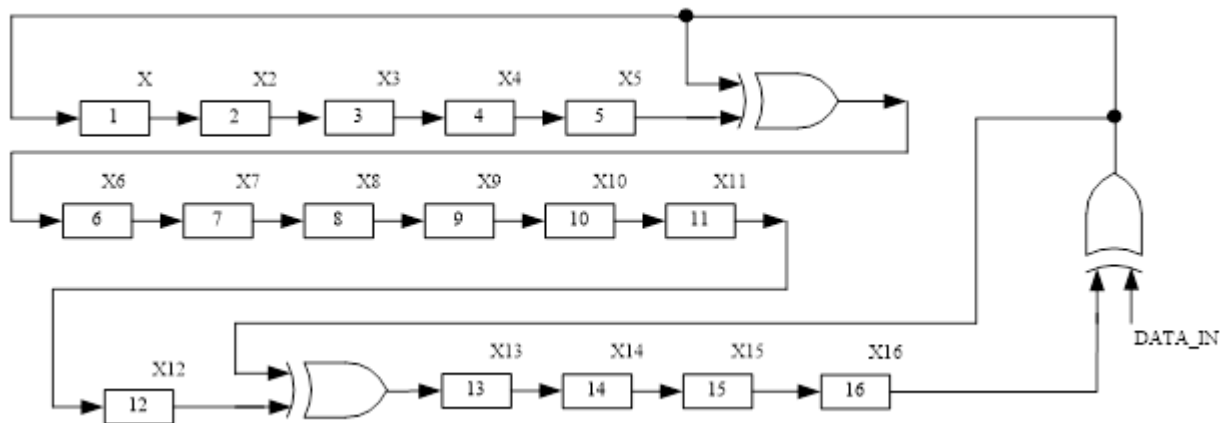


图 23-2 CRC16 电路原理图

23.4 CRC 操作说明

23.4.1 计算单个字节的 CRC

计算单个字节的 CRC 值，按以下步骤进行：

1. 初始化 CRC_DR，有两种方式可以选择：配置 CRC_CR[CRCVAL]并将 CRC_CR[CRCDINI] 置 1，初始值为 0x0000 或 0xFFFF。通过 CRC_CR[CRCPNT]和 CRC_DR 配合进行 CRC 初始操作，可配置任意初始值；
2. 向输入数据寄存器 CRC_DIN 写入数据，下个时钟周期 CRC 计算完成；
3. 读取 CRC 结果：配置 CRC_CR[CRCPNT] = 1，软件读取结果输出寄存器 CRC_DR，得到高字节数据；配置 CRC_CR[CRCPNT] = 0，读 CRC_DR 得到低字节数据。

23.4.2 批量计算 ROM 数据 CRC

要计算 ROM 中某片连续区域数据的 CRC 值，按以下步骤进行：

1. 初始化 CRC_DR，方法同单字节 CRC；
2. 配置 CRC_BEG，设置要计算的 ROM 的起始扇区；
3. 配置 CRC_CNT，设置起始扇区到结束扇区的扇区偏移量；
4. 向 CRC_CR[AUTOINT]写 1，保持其它位不变，会启动自动计算过程；
5. 读取 CRC 结果。

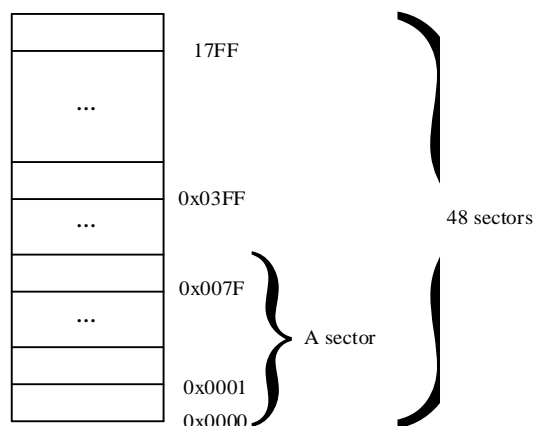


图 23-3 ROM 访问分区图

如图 23-3 所示，ROM 共有 6k 字节，分成 48 个 sector，编号从 sector0 到 sector47。每个 sector 包含 128 个字节。在进行 CRC 批量计算时，起始 sector 的值 CRC_BEG 可以是 0x00 ~ 0x2F 之间的任何值，包括 0x00 和 0x2F。需要计算的 sector 总数的数值 CRC_CNT 可以是 0x00 ~ 0x2F，包括 0x00 和 0x2F。

需要注意的是，随着 CRC_BEG 的增大，CRC_CNT 应该相应减小。例：如果 CRC_BEG 的值为 0x2F，则 CRC_CNT 的值只能是 0x00，即计算最后一个 sector 中数据的 CRC 值。此时，如误操作将 CRC_CNT 的值设置为一个大的值，CRC 控制器会硬件自动限制计算的字节数，使 CRC 模块只计算最后一个 sector 的 CRC 值。

23.5 CRC 寄存器

23.5.1 CRC_CR (0x4022)

位	7	6	5	4	3	2	1	0
名称	RSV			CRCDONE	CRCDINI	CRCVAL	AUTOINT	CRCPNT
类型	-	-	-	R	W1	R/W	W1	R/W
复位值	-	-	-	1	0	0	0	0
位	名称	描述						
[7:5]	RSV	保留						
[4]	CRCDONE	CRC 批量计算完成标志位 在 CRC 批量计算模式过程中，硬件自动将这一位写 0，并且软件代码也会停止执行；在其它情况下，硬件自动将这一位置为 1，所以，软件读取这一位始终返回 1。						
[3]	CRCDINI	CRC 结果初始化触发 0: 无意义 1: 触发 CRC 结果初始化						
[2]	CRCVAL	CRC 结果初始化选择位 0: CRC 结果初始化为 0x0000 1: CRC 结果初始化为 0xFFFF						
[1]	AUTOINT	CRC 批量计算启动 0: 无意义 1: 启动批量 CRC 计算 参考批量计算 ROM 数据 CRC						
[0]	CRCPNT	CRC 结果指针 0: 读取 CRC_DR 访问的是 16 位 CRC 结果的低 8 位 1: 读取 CRC_DR 访问的是 16 位 CRC 结果的高 8 位						

注：计算单个字节 CRC 校验时，配置 CRC_CR[AUTOINT] = 0。

23.5.2 CRC_DIN (0x4021)

位	7	6	5	4	3	2	1	0
名称	CRC_DIN							
类型	W	W	W	W	W	W	W	W
复位值	0	0	0	0	0	0	0	0
位	名称	描述						
[7:0]	CRC_DIN	CRC 模块输入数据 每次向此寄存器写入一个数据时，CRC 模块就自动在现有 CRC 结果的基础上，根据输入数据计算出新的 CRC 结果，并覆盖原 CRC 结果。 注：此寄存器是一个虚拟寄存器，写入的数据并不保存。读取此地址时返回 0x00						

23.5.3 CRC_DR (0x4023)

位	7	6	5	4	3	2	1	0
名称	CRC_DR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述
[7:0]	CRC_DR	CRC 结果输出 每次读、写此寄存器时，会根据控制寄存器 CRC_CR[CRCPNT]来决定访问的是 CRC 结果的高 8 位还是低 8 位。

23.5.4 CRC_BEG (0x4024)

位	7	6	5	4	3	2	1	0
名称	RSV	CRC_BEG						
类型	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	0	0	0	0	0	0	0
位	名称	描述						
[7]	RSV	保留						
[6:0]	CRC_BEG	自动计算 CRC 的 ROM 起始扇区 例：如果 CRC_BEG 的值是 1，则自动计算 CRC 的起始地址为 $1 \times 128 = 128$ ，实际上是从第二个扇区的第一个字节开始。						

23.5.5 CRC_CNT (0x4025)

位	7	6	5	4	3	2	1	0
名称	RSV	CRC_CNT						
类型	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	0	0	0	0	0	0	0
位	名称	描述						
[7]	RSV	保留						
[6:0]	CRC_CNT	自动 CRC 计算的扇区偏移量 此值定义了需要计算 CRC 值的 ROM 扇区的偏移量，通过此值可决定自动 CRC 计算的结束扇区。						

24 休眠模式

24.1 休眠保护简介

芯片提供了三种工作模式：正常、待机和睡眠。通过设置寄存器 PCON[IDLE]和 PCON[STOP]的值选择不同的工作模式。

各种功耗模式下的模块工作情况总结如表 24-1 所示：

表 24-1 功耗模式

电源模式	描述	唤醒源	功耗性能
正常	除去被关掉的外设，其他模块全速工作	NA	功耗较高，性能最好
待机	CPU 时钟被暂停，其他功能模块关闭或工作，由其控制位决定，看门狗时钟被暂停。	任何中断，外部 Reset/Debug 复位	功耗低，性能灵活
睡眠	Flash 深度睡眠。模拟快时钟电路关闭，MCU 软件应注意在进入睡眠前，确保 ADC、FOC、驱动电路已处于空闲。看门狗时钟被关闭。	外部中断，外部 Reset/Debug 复位	功耗很低，性能灵活

注：进入睡眠模式后建议插入 3 条空语句。

```
PCON = 0x02;
```

```
_nop_();
```

```
_nop_();
```

```
_nop_();
```

24.2 休眠保护寄存器

24.2.1 PCON (0x87)

位	7	6	5	4	3	2	1	0
名称	RSV		GF3	GF2	GF1	RSV	STOP	IDLE
类型	-	-	R/W	R/W	R/W	-	R/W	R/W
复位值	-	-	0	0	0	-	0	0
位	名称	描述						
[7:6]	RSV	保留						
[5]	GF3	通用标志位 3						
[4]	GF2	通用标志位 2						
[3]	GF1	通用标志位 1						
[2]	RSV	保留						
[1]	STOP	写 1 使芯片进入睡眠模式，唤醒后由硬件自动清 0						
[0]	IDLE	写 1 使芯片进入待机模式，唤醒后由硬件自动清 0						

功耗模式 PCON[STOP:IDLE]:

00: 正常

01: 待机

1X: 睡眠

25 代码保护

25.1 代码保护简介

芯片支持 Flash 全芯片加密的方式，用于保护客户的软件知识产权，免受非法的用户操作。当 Flash 被加密后，数据无法读取，只能通过硬件 CRC 校验来对比程序是否一致。

25.2 代码保护操作说明

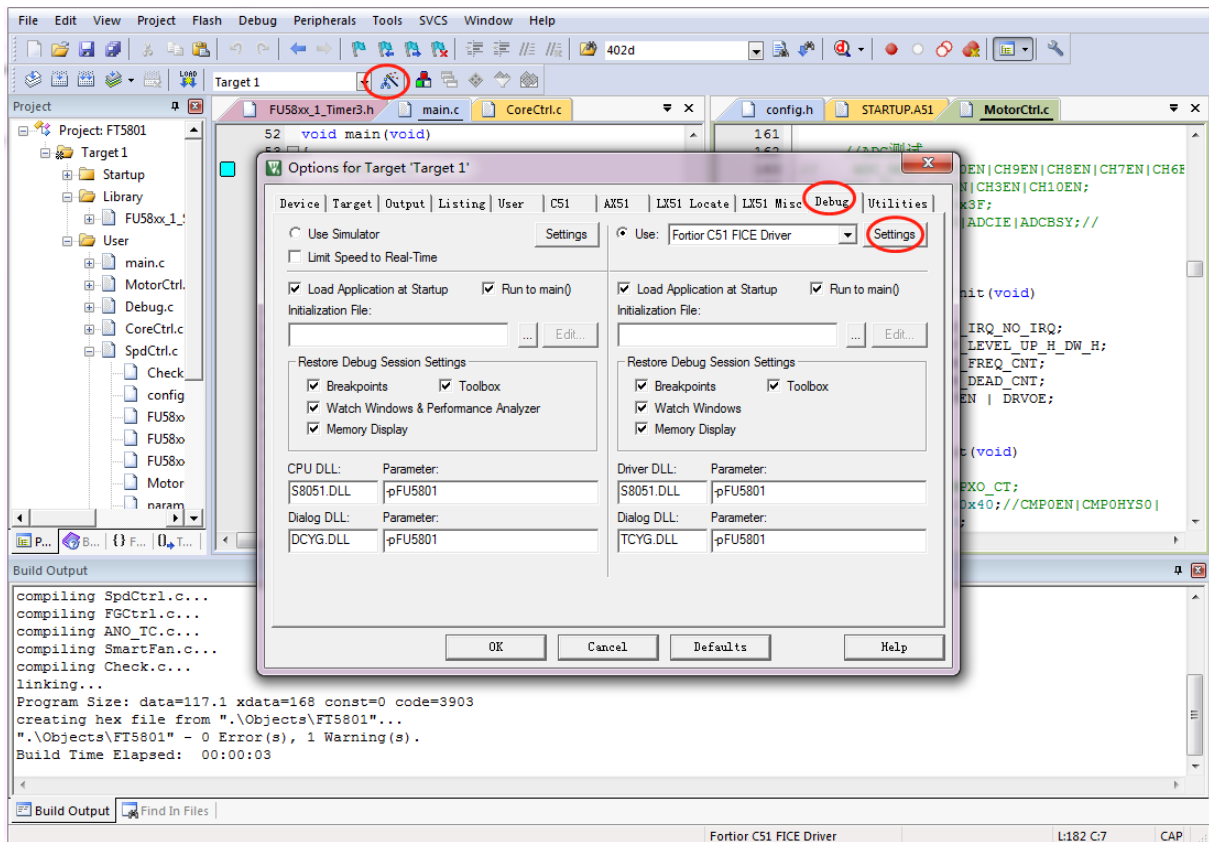


图 25-1 代码保护配置

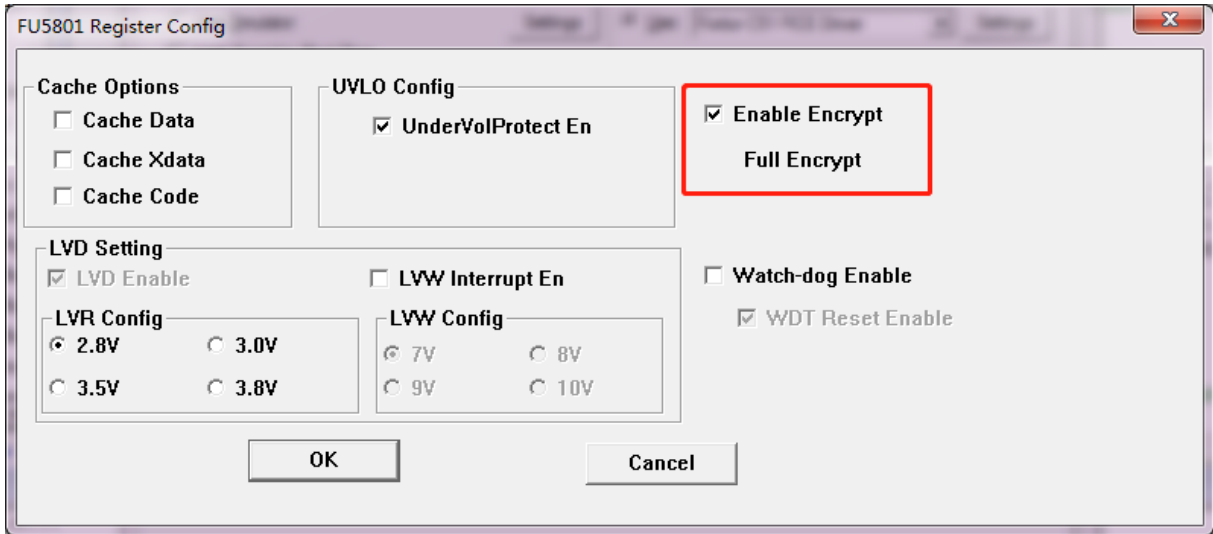


图 25-2 代码保护全保护模式

加密步骤为：

1. 打开 8051 集成开发工具，编译前进入 Target Options 中并选择 Debug 选项卡，按照上图 25-1 所示进行选择，并点击 Settings 进入下一步设置；
2. 按照图 25-2 所示进行选择并设置，点击 OK。然后编译工程并下载，得到 BIN 文件并烧录到 Flash 后即可达到代码保护的效果。

26 修改记录

版本	主要修改内容	生效日期	修订者
V1.0	对应内部版本 V0.07 初版发布，增加功能描述、寄存器描述等	2021/3/22	李坤
V1.1	1. 增加 VCC 斜率说明 2. VCC 电容由 10 μ F 改成 2.2 μ F 3. 增加极限电压 24V(<1min)	2021/4/9	李坤
V1.2	1. 修改部分描述错误问题(台湾反馈) 2. 删除查表模式描述 3. 删除 HALLPN 相关描述	2021/11/17	李坤
V1.3	各章节更新整合	2022/05/27	姜含苑
V1.4	1. 在 1.1 系统特性、1.4.2 功能框图、2 引脚定义、3 封装尺寸、4 订购信息、5.8 封装热阻及 18.1 IO 简介章节增加 FU5821Q 的信息 2. 1.4.1、1.4.2 功能框图保留一个霍尔比较器，删除 X3 字样 3. 5.2 全局电气特性删除 VCC 极限电压 4. 用中文替换英文版权说明 5. 采用最新数据手册模板	2022/12/02	朱兵华
V1.5	1. 纠正 1.1 特性 ADC 通道重复的产品名； 2. 修正 4 订购信息 FLASH(kByte)6K 为 6，增加 TSSOP20 封装尺寸； 3. 表 Pre-driver IO 电气特性增加驱动电平参数； 4. 简化改写第 18 章 IO 简介、配置； 5. 纠正表 23-1 CRC 标准与多项式修改 CRC 标准 CRC16-CCITT 为 CRC16/CCITT-FALSE；23.2 CRC16 多项式修改“芯片基于 CRC16-CCITT 标准的多项式： $x^{16}+x^{12}+x^5+1$ 。”为“芯片基于 CRC16/CCITT-FALSE 标准的多项式： $x^{16}+x^{12}+x^5+1$ 。”； 6. 采用手册标准格式_V7.8	2023/02/23	朱兵华
V1.6	1. FU5821Q 封装 QFN20 改为 QFN24； 2. 2 引脚定义更新 RXD IO 类型与描述； 3. 更新 3 封装尺寸信息； 4. 4 订购信息 DAC 个数 4 改为 2，TSSOP20(4.96x6.40mm) 改为 TSSOP16(4.4x5.0mm)； 5. 9.2 UART 操作说明增加“在使用 UART 前需确保相关寄存器使能，详细请参考 18.3.7 PH_SEL (0x403C) [7:6]位描述。”； 6. 10.2.6 TIM1_CR5 (0xB6)修改[6]RSV 为 T1HREN，修改描述保留为 HALL 反向使能；0，正常；1，HALL 反向使能； 7. 20.2.7 OCP_DR (0x403B) OCP_DR 描述 1100: 3548mV 改为 1100: 354mV； 8. 文档优化。	2023/08/08	朱兵华

版权说明

版权所有©峰昭科技（深圳）股份有限公司（以下简称：峰昭科技）。

为改进设计和/或性能，峰昭科技保留对本文档所描述或包含的产品（包括电路、标准元件和/或软件）进行更改的权利。本文档中包含的信息供峰昭科技的客户进行一般性使用。峰昭科技的客户应确保采取适当行动，以使其对峰昭科技产品的使用不侵犯任何专利。峰昭科技尊重第三方的有效专利权，不侵犯或协助他人侵犯该等权利。

本文档版权归峰昭科技所有，未经峰昭科技明确书面许可，任何单位及个人不得以任何形式或方式（如电子、机械、磁性、光学、化学、手工操作或其他任何方式），对本文档任何内容进行复制、传播、抄录、存储于检索系统或翻译为任何语种，亦不得更改或删除本内容副本中的任何版权或其他声明信息。

峰昭科技（深圳）股份有限公司
深圳市南山区科技中二路深圳软件园二期 11 栋 2 楼 203
邮编：518057
电话：0755-26867710
传真：0755-26867715
网址：www.fortiortech.com

本文件所载内容
峰昭科技（深圳）股份有限公司版权所有，保留一切权力。